

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年4月21日 (21.04.2005)

PCT

(10) 国際公開番号
WO 2005/036651 A1

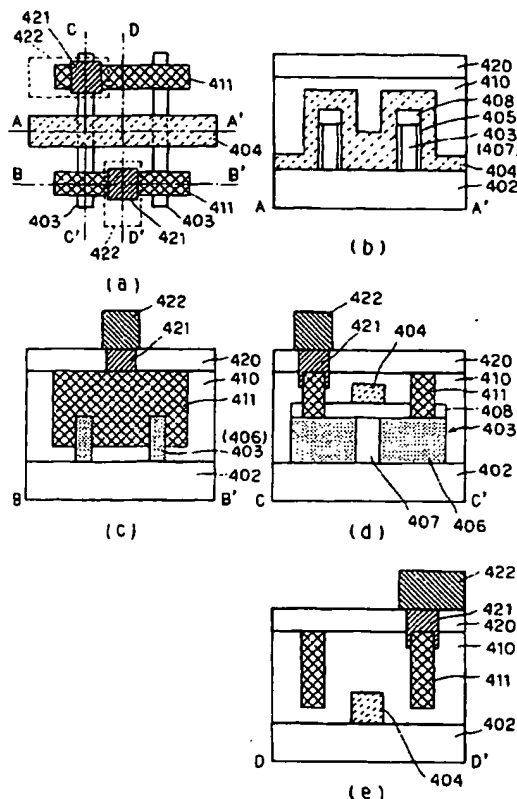
- (51) 国際特許分類⁷: H01L 29/786, 27/06, 29/41
 (21) 国際出願番号: PCT/JP2004/014243
 (22) 国際出願日: 2004年9月29日 (29.09.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2003-351029 2003年10月9日 (09.10.2003) JP
 特願2004-271506 2004年9月17日 (17.09.2004) JP
 (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 竹内 深

(TAKEUCHI, Kiyoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 寺島 浩一 (TERASHIMA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 若林 整 (WAKABAYASHI, Hitoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山上 滋春 (YAMAGAMI, Shigeharu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 小椋 厚志 (OGURA, Atsushi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 田中 聖康 (TANAKA, Masayasu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 野村 昌弘 (NOMURA, Masahiro) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 武田 晃一 (TAKEDA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device comprising a MIS type field effect transistor having a semiconductor protrusion unit protruding toward a substrate flat surface, a gate electrode extending from the top portion onto the facing opposite-side surfaces of the semiconductor protrusion unit so as to bridge over it, a gate insulation film held between the gate electrode and the semiconductor protrusion unit, and a source/drain region provided to the semiconductor protrusion unit, an interlayer insulation film provided on the substrate including this transistor, and a buried conductor wiring formed in the interlayer insulation film, characterized in that the buried conductor wiring is connected with the source/drain region in the semiconductor protrusion unit and other conductors below the interlayer insulation film.

(57) 要約: 基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース/ドレイン領域とを有するMIS型電界効果トランジスタ、このトランジスタを含む基体上に設けられた層間絶縁膜、及びこの層間絶縁膜に形成された埋め込み導体配線を有し、この埋め込み導体配線は、前記半導体凸部のソース/ドレイン領域と、前記層間絶縁膜下の他の導電部とに接続されていることを特徴とする半導体装置。

WO 2005/036651 A1



電気株式会社内 Tokyo (JP). 辰巳 徹 (TATSUMI, Toru) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 渡部 宏治 (WATANABE, Koji) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置及びその製造方法

技術分野

- [0001] 本発明は、半導体装置及びその製造方法に関し、より詳しくは、基体平面に対して突出した半導体凸部上にゲート電極を有するMIS型電界効果トランジスタを備えた半導体装置及びその製造方法に関する。

背景技術

- [0002] 近年、MIS型電界効果トランジスタ(以下「MISFET」という)の一種として、いわゆるFin型MISFETが提案されている。このFin型MISFETは、直方体状半導体凸部を有し、この直方体状半導体凸部の一方の側面から上面を越えて反対側面まで跨ぐようにゲート電極が設けられている。そして、この直方体状半導体凸部とゲート電極との間にはゲート絶縁膜が介在し、主として直方体状半導体凸部の両側面に沿ってチャンネルが形成される。このようなFin型MISFETは、チャンネル幅を基板平面に対して垂直方向にとれる点から微細化に有利であることに加え、カットオフ特性やキャリア移動度の向上、短チャンネル効果やパンチスルーの低減といった種々の特性改善に有利であることが知られている。
- [0003] このようなFin型MISFETとして、特開昭64-8670号公報(特許文献1)には、ソース領域、ドレイン領域およびチャンネル領域をもつ半導体凸部分がウェハ基板の平面に対してほぼ垂直な側面を有する直方体状であり、この直方体状半導体凸部分の高さがその幅よりも大きく、かつゲート電極が前記ウェハ基板の平面に垂直方向に延在することを特徴とするMOS電界効果トランジスタ(MOSFET)が開示されている。
- [0004] 同公報には、前記直方体状半導体凸部分の一部がシリコンウェハ基板の一部である形態と、前記直方体状半導体凸部分の一部がSOI(Silicon on insulator)基板の単結晶シリコン層の一部である形態が例示されている。前者を図1(a)に、後者を図1(b)に示す。
- [0005] 図1(a)に示す形態では、シリコンウェハ基板101の一部を直方体状部分103とし、ゲート電極105がこの直方体状部分103の頂部を越えて両側に延在している。そし

て、この直方体状部分103において、ゲート電極両側の部分にソース領域およびドレイン領域が形成され、ゲート電極下の絶縁膜104下の部分にチャネルが形成される。チャネル幅は直方体状部分103の高さ h の2倍に相当し、ゲート長はゲート電極105の幅 L に対応する。直方体状部分103は、シリコンウェハ基板101を異方性エッチングして溝を形成し、この溝の内側に残した部分で構成されている。また、ゲート電極105は、この溝内に形成した絶縁膜102上に、直方体状部分103を跨ぐように設けている。

[0006] 図1(b)に示す形態では、シリコンウェハ基板111、絶縁層112及びシリコン単結晶層からなるSOI基板を用意し、そのシリコン単結晶層をパターンニングして直方体状部分113とし、そして、この直方体状部分113を跨ぐように、露出した絶縁層112上にゲート電極115を設けている。この直方体状部分113において、ゲート電極両側の部分にソース領域およびドレイン領域が形成され、ゲート電極下の絶縁膜114下の部分にチャネルが形成される。チャネル幅は直方体状部分113の高さ a の2倍とその幅 b との合計に相当し、ゲート長はゲート電極115の幅 L に対応する。

[0007] 一方、特開2002-118255号公報(特許文献2)には、例えば図2(a)～(c)に示すような、複数の直方体状半導体凸部(凸状半導体層213)を有するFin型MOSFETが開示されている。図2(b)は図2(a)のB-B線断面図であり、図2(c)は図2(a)のC-C線断面図である。このFin型MOSFETは、シリコン基板210のウェル層211の一部で構成される凸状半導体層213を複数有し、これらが互いに平行に配列され、これらの凸状半導体層の中央部を跨いでゲート電極216が設けられている。このゲート電極216は、絶縁膜214の上面から各凸状半導体層213の側面に沿って形成されている。各凸状半導体層とゲート電極間には絶縁膜218が介在し、ゲート電極下の凸状半導体層にチャネル215が形成される。また、各凸状半導体層にはソース/ドレイン領域217が形成され、ソース/ドレイン領域217下の領域212には高濃度不純物層(パンチスルーストップ層)が設けられている。そして、層間絶縁膜226を介して上層配線229、230が設けられ、各コンタクトプラグ228により、各上層配線とそれぞれソース/ドレイン領域207及びゲート電極216とが接続されている。このような構造によれば、凸状半導体層の側面をチャネル幅として用いることができるため、プ

レーナ型の従来のMOSFETに比べて平面的な面積を小さくすることができることが記載されている。

[0008] Fin型MISFETを備えた半導体装置において、微細化および高密度化を進めようとする、ソース/ドレイン領域とプラグとの接続(コンタクト)に係る次の問題が生じる。

[0009] 図2に示すように、直方体状の半導体凸部のソース/ドレイン領域部分にコンタクトを形成する場合は、微細化に伴い半導体凸部の幅(図中の横方向)が狭くなるにつれて接触面積が小さくなり、十分な導通を得にくくなる。この問題は、大きな電流駆動力を得るために半導体凸部の高さを高くするほど顕著になる。また、コンタクトホール形成時において、半導体凸部の幅方向での位置合わせが困難になり、目合わせズレによる接続不良が起きやすくなる。

[0010] 一方、図1に示すように、半導体凸部の両端に幅の広いパッド部を設けて、このパッド部にコンタクトを形成することができるが、このパッド部の占める面積分ほど高密度化に不利となる。また、リソグラフィやエッチングの際、このパッド部の影響により半導体凸部の幅を均一に形成するのが困難となる(パッド部の近くで幅が広がってしまう)という問題もある。

発明の開示

[0011] 本発明の目的は、Fin型MISFETを備えた半導体装置であって、良好なコンタクトを形成でき且つ微細化・高密度化に有利な構造を有する半導体装置を提供することにある。

[0012] 本発明は、基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース/ドレイン領域とを有するMIS型電界効果トランジスタ、

このトランジスタを含む基体上に設けられた層間絶縁膜、及び

この層間絶縁膜に形成された溝に導電体が埋め込まれてなる埋め込み導体配線を有し、

この埋め込み導体配線は、前記半導体凸部のソース/ドレイン領域と、前記層間

絶縁膜下の他の導電部とを結合することを特徴とする半導体装置に関する。

[0013] また本発明は、前記埋め込み導体配線が、前記半導体凸部のソース/ドレイン領域と、前記層間絶縁膜下の他の導電部とに接続され、且つ前記層間絶縁膜の上面と同一平面にある上面、及び前記ソース/ドレイン領域との接続部における半導体凸部上面より下方にある下面を有する上記の半導体装置に関する。

[0014] また本発明は、前記埋め込み導体配線が、前記ソース/ドレイン領域との接続部において、当該半導体凸部の相対する両側面に接触している上記の半導体装置に関する。

[0015] また本発明は、前記MIS型電界効果トランジスタとして、第1のトランジスタ及び第2のトランジスタを有し、

前記埋め込み導体配線は、第1のトランジスタのソース/ドレイン領域と、前記の他の導電部として第2のトランジスタのゲート電極又はソース/ドレイン領域とに接続されている上記の半導体装置に関する。

[0016] また本発明は、前記MIS型電界効果トランジスタとして、基体平面に対して突出した複数の半導体凸部と、これら複数の半導体凸部に跨って設けられ各半導体凸部の上部から相対する両側面上に延在する導体配線で構成されるゲート電極と、このゲート電極と各半導体凸部の間に介在するゲート絶縁膜と、各半導体凸部に設けられたソース/ドレイン領域とを有するトランジスタを有し、

前記埋め込み導体配線は、当該トランジスタにおいて、一の半導体凸部のソース/ドレイン領域と、前記の他の導電部として他の半導体凸部のソース/ドレイン領域とに接続されている上記の半導体装置に関する。

[0017] また本発明は、前記複数の半導体凸部が互いに平行配列している上記の半導体装置に関する。

[0018] また本発明は、前記埋め込み導体配線が、プラグを介してまたは直接に上層配線と接続されている上記の半導体装置に関する。

[0019] また本発明は、前記埋め込み導体配線と前記ソース/ドレイン領域との接続部が、金属又は金属化合物からなる低抵抗化層を介して接続されている上記の半導体装置に関する。

[0020] また本発明は、前記半導体凸部が、基板平面に平行かつチャネル長方向に垂直な方向の幅Wが、少なくとも当該半導体凸部のソース/ドレイン領域と前記埋め込み導体配線との接続部において、ゲート電極下の部分の幅Wより広い部分を有する上記の半導体装置に関する。

[0021] また本発明は、前記MIS型電界効果トランジスタとして、CMOSインバータを構成する第1導電型トランジスタ及び第2導電型トランジスタを有し、

第1導電型トランジスタ及び第2導電型トランジスタのゲート電極が共通の導体配線で構成され、この導体配線は入力部へ導通され、

前記埋め込み導体配線が、第1導電型トランジスタのドレイン領域と第2導電型トランジスタのドレイン領域とに接続され、出力部へ導通されている上記の半導体装置に関する。

[0022] また本発明は、一对の第1及び第2駆動トランジスタ、一对の第1及び第2負荷トランジスタ及び一对の第1及び第2転送トランジスタを備えたSRAMセル単位を有する半導体装置であって、

前記の各トランジスタは、基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース/ドレイン領域とを有し、

前記の各トランジスタを構成する半導体凸部は、その長手方向が第1方向に沿って配置され、

第1駆動トランジスタ及び第1転送トランジスタは共通の第1半導体凸部を有し、第2駆動トランジスタ及び第2転送トランジスタは共通の第2半導体凸部を有し、第1負荷トランジスタは第1半導体凸部と隣り合う第3半導体凸部を有し、第2負荷トランジスタは第2半導体凸部に隣り合う第4半導体凸部を有し、

第1駆動トランジスタ及び第1負荷トランジスタのゲート電極は共通の第1導体配線で構成され、第2駆動トランジスタ及び第2負荷トランジスタのゲート電極は共通の第2導体配線で構成され、これらの導体配線はその長手方向が第1方向に垂直な第2方向に沿って配置されていることを特徴とする半導体装置に関する。

- [0023] また本発明は、前記のSRAMセル単位を含む基体上に設けられた層間絶縁膜、第1導体配線と、第2負荷トランジスタのドレイン領域と、第2駆動トランジスタのドレイン領域と、第2転送トランジスタのソース/ドレイン領域とに接続され、前記層間絶縁膜に形成された第1埋め込み導体配線、及び第2導体配線と、第1負荷トランジスタのドレイン領域と、第1駆動トランジスタのドレイン領域と、第1転送トランジスタのソース/ドレイン領域とに接続され、前記層間絶縁膜に形成された第2埋め込み導体配線を有する上記の半導体装置に関する。
- [0024] また本発明は、第1及び第2埋め込み導体配線がそれぞれ、前記層間絶縁膜の上面と同一平面にある上面、並びに前記ソース領域及びソース/ドレイン領域との接続部における半導体凸部上面より下方にある下面を有する上記の半導体装置に関する。
- [0025] また本発明は、第1及び第2埋め込み導体配線が、前記ソース領域及びソース/ドレイン領域との接続部において、当該半導体凸部の相対する両側面に接触している上記の半導体装置に関する。
- [0026] また本発明は、前記のトランジスタとして、基体平面に対して突出した複数の半導体凸部と、これら複数の半導体凸部に跨って設けられ各半導体凸部の上部から相対する両側面上に延在する導体配線で構成されるゲート電極と、このゲート電極と各半導体凸部の間に介在するゲート絶縁膜と、各半導体凸部に設けられたソース/ドレイン領域とを有するトランジスタを有する上記の半導体装置に関する。
- [0027] また本発明は、基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース/ドレイン領域とを有するMIS型電界効果トランジスタを備えた半導体装置の製造方法であって、
前記MIS型電界効果トランジスタを形成する工程と、前記半導体凸部を埋め込むように層間絶縁膜を形成する工程と、この層間絶縁膜に溝を形成して当該溝内に前記半導体凸部のソース/ドレイン領域および当該ソース/ドレイン領域と導通しようとする他の導電部のそれぞれ少なくとも一部を露出させる工程と、前記溝に導電体を

埋め込んで前記ソース／ドレイン領域と前記の他の導電部とに接続される埋め込み導体配線を形成する工程とを有する半導体装置の製造方法に関する。

[0028] また本発明は、前記の他の導電部が、他のトランジスタのゲート電極又はソース／ドレイン領域である上記の半導体装置の製造方法に関する。

[0029] また本発明は、前記MIS型電界効果トランジスタが、基体平面に対して突出した複数の半導体凸部と、これら複数の半導体凸部に跨って設けられ各半導体凸部の上部から相対する両側面上に延在する導体配線で構成されるゲート電極と、このゲート電極と各半導体凸部の間に介在するゲート絶縁膜と、各半導体凸部に設けられたソース／ドレイン領域とを有し、

前記溝の形成工程において、互いに導通しようとする半導体凸部のソース／ドレイン領域のそれぞれ少なくとも一部を露出させ、当該溝に導電体を埋め込んで、当該トランジスタにおける一の半導体凸部のソース／ドレイン領域と他の半導体凸部のソース／ドレイン領域とに接続される埋め込み導体配線を形成する上記の半導体装置の製造方法に関する。

[0030] また本発明は、前記層間絶縁膜を形成する前に、前記半導体凸部の表面にSiエピタキシャル成長を行う工程を有する上記の半導体装置の製造方法に関する。

[0031] また本発明は、前記層間絶縁膜を形成する前に、前記半導体凸部に金属または金属化合物からなる低抵抗化層を形成する工程を有する上記の半導体装置の製造方法に関する。

[0032] また本発明は、前記溝を形成した後に、当該溝内で露出する半導体凸部の表面にSiエピタキシャル成長を行う工程を有する上記の半導体装置の製造方法に関する。

[0033] また本発明は、前記溝を形成した後に、当該溝内で露出する前記半導体凸部に金属または金属化合物からなる低抵抗化層を形成する工程を有する上記の半導体装置の製造方法に関する。

[0034] 本発明によれば、Fin型MISFETを備えた半導体装置であって、良好なコンタクトを形成でき且つ微細化・高密度化に有利な構造を有する半導体装置を提供することができる。

図面の簡単な説明

- [0035] [図1]従来のFin型MISFETの素子構造の説明図である。
[図2]従来のFin型MISFETの素子構造の説明図である。
[図3]本発明におけるFin型MISFETの一例の説明図である。
[図4]本発明の半導体装置の一例の説明図である。
[図5]本発明の半導体装置の他の例の説明図である。
[図6]本発明の半導体装置の他の例の説明図である。
[図7]本発明の半導体装置の他の例の説明図である。
[図8]本発明の半導体装置の他の例の説明図である。
[図9]本発明の半導体装置の他の例の説明図である。
[図10]本発明の半導体装置の他の例の説明図である。
[図11]本発明の半導体装置の他の例の説明図である。
[図12]本発明の半導体装置の他の例の説明図である。
[図13]本発明の半導体装置の他の例の説明図である。
[図14]本発明の半導体装置の他の例の説明図である。
[図15]本発明の半導体装置の製造方法の説明図である。
[図16]本発明の半導体装置の製造方法の説明図である。
[図17]本発明の半導体装置の製造方法の説明図である。
[図18]本発明の半導体装置の製造方法の説明図である。
[図19]本発明の半導体装置の製造方法の説明図である。
[図20]本発明の半導体装置の製造方法の説明図である。
[図21]本発明の半導体装置の製造方法の説明図である。
[図22]本発明の半導体装置の製造方法の説明図である。
[図23]本発明におけるFin型MISFETの説明図である。
[図24]本発明におけるFin型MISFETの説明図である。
[図25]本発明の半導体装置の他の例の説明図である。

発明を実施するための最良の形態

- [0036] 本発明は、例えば図3に示すように、半導体凸部303と、この半導体凸部303を跨ぐようにその上部から相対する両側面上に延在するゲート電極304と、このゲート電

極304と前記半導体凸部303の間に介在する絶縁膜305と、半導体凸部303に設けられたソース/ドレイン領域306とを有するFin型MISFETを備えた半導体装置に係るものである。

- [0037] 本発明におけるFin型MISFETの半導体凸部は、基体平面(ここでは絶縁体平面)に対して突出した構造を有するものであり、例えば図3に示すように半導体基板301上のベース絶縁膜302上に設けられた半導体層で構成することができる。なお、本発明において、この「基体平面」とは基板に平行な任意の面を意味する。このベース絶縁膜自体を支持基板とすることもできる。
- [0038] また半導体凸部は、後述するように、ベース絶縁膜下の半導体基板の一部で形成することができる。この構造は、素子の駆動により半導体凸部で発生した熱や電荷を半導体基板へ逃がすことができるため、放熱性や基板浮遊効果抑制の点で有利である。また、半導体凸部が、ベース絶縁膜302上に設けられた半導体層で構成されるものと、ベース絶縁膜下の半導体基板の一部として構成されるものと、が同一半導体基板上に混在していても構わない。半導体凸部の形状は、略直方体とすることが好ましく、加工精度や所望の素子特性が得られる範囲内で直方体から変形した形状であってもよい。
- [0039] 半導体凸部の材料としては、シリコン、シリコン・ゲルマニウム、ゲルマニウムを好適に用いることができる。また必要に応じて前記材料の複層膜を用いることができる。半導体凸部の両側面としては、移動度が高いこと、平坦なゲート絶縁膜の形成が容易であること、から{100}面、{110}面、{111}面を好適に用いることができる。
- [0040] 本発明におけるFin型MISFETにおいては、その半導体凸部を跨ぐようにその上部から相対する両側面上にゲート電極が延在し、このゲート電極と半導体凸部の間には絶縁膜が介在する。半導体凸部のゲート電極下の部分には、通常、所定のしきい値電圧に応じて比較的低濃度に不純物が導入され、あるいは導入されないで、ゲート電極への電圧印加によりチャネルが形成される。半導体凸部の各側面(基板平面に垂直方向の面)とゲート電極との間に介在する絶縁膜をゲート絶縁膜とすることで、半導体凸部の両側面にチャネルを形成することができる。半導体凸部の上面とゲート電極との間に介在する絶縁膜を側面の絶縁膜と同程度に薄いゲート絶縁膜と

することで、半導体凸部の上面にもチャンネルを形成することができる。半導体凸部の上面に厚い絶縁膜(キャップ絶縁膜)を設けることで、半導体凸部の上面にチャンネルを形成させない構成にすることもできる。半導体凸部の上面のキャップ絶縁膜は、側面の絶縁膜と異なる材料から形成されていてもよいし、側面の絶縁膜と別途に形成されたものであってもよい。

[0041] 図23及び図24に、半導体凸部のゲート電極下部分の断面形状を示す。501は半導体層、502はベース絶縁膜、503は半導体凸部、504はゲート電極、505はゲート絶縁膜、506はキャップ絶縁膜を示す。

[0042] 図23に示すように半導体凸部503の上面にゲート絶縁膜505より厚いキャップ絶縁膜506を載せてもよいし、図24に示すように載せなくてもよく、適宜選択することができる。

[0043] また、図24に示すように半導体凸部の角を丸くしてもよく、これにより素子動作時の電界集中を抑えることができる。

[0044] 図23(a)の通常の構造は、半導体凸部503の下端とゲート電極の下端がほぼ同一平面上にあるのに対して、図23(b)の構造は、半導体凸部503の下端よりも下方にゲート電極504の下端が延在している。この構造は、ゲート電極がギリシャ文字の「 π 」に似ていることから「 π ゲート構造」と呼ばれ、ゲートによるチャンネルの制御性を高めることができる。この構造によれば、半導体凸部下端より下方のゲート電極部分によって、半導体凸部下部の電位に対する制御性を高めることができ、オンオフ遷移の急峻性(サブスレショルド特性)が向上し、オフ電流を抑制することができる。同様に、図24(b)も π ゲート構造を示している。

[0045] 図23(c)は、半導体凸部503の下面側へ一部ゲート電極504が回り込んでいる構造を示す。この構造は、ゲート電極がギリシャ文字の「 Ω 」に似ていることから「 Ω ゲート構造」と呼ばれている。この構造によれば、ゲートによるチャンネルの制御性を高めるとともに、半導体凸部の下面もチャンネルとして利用できるように駆動能力を向上することができる。同様に、図24(c)も Ω ゲート構造を示している。

[0046] 図23(d)は、半導体凸部503の下面側へゲート電極504が完全に回り込んでいる構造を示す。この構造は、ゲート下部分において半導体凸部が基体平面に対して空

中に浮いた状態となり、「ゲート・オール・アラウンド(GAA)構造」と呼ばれている。この構造によれば、半導体凸部の下面もチャネルとして利用できるため駆動能力を向上することができ、短チャネル特性も向上することができる。同様に、図24(d)もGAAゲート構造を示している。

- [0047] なお、半導体凸部の断面形状は、ゲート電極下部と、本発明による埋め込み導体配線下部とで同一であってもよいし、後に述べるように異なってもよい。
- [0048] 本発明におけるFin型MISFETのソース/ドレイン領域は、図3に示すように、半導体凸部303のゲート電極両側部分に高濃度の不純物が導入された拡散層をソース/ドレイン領域306とすることができる。また、ソース/ドレイン領域306を完全に金属化したショットキー・ソース/ドレイン構造としてもよい。
- [0049] また、本発明におけるFin型MISFETは、1つのトランジスタ内に複数の半導体凸部を例えば一列に平行配列して有し、これら複数の半導体凸部に跨って設けられた導体配線でゲート電極が構成された、いわゆるマルチ構造をとってもよい。それぞれの半導体凸部に係る素子構造は、前述と同様な構造にすることができる。素子特性の均一性や加工の容易さ等の観点から、1つのトランジスタ内の複数の半導体凸部のゲート電極下部分の幅W(基板平面に平行かつチャネル長方向に垂直な方向の幅)は互いに等しいことが好ましく、また互いに平行配列していることが好ましい。
- [0050] このようなマルチ構造は、基板平面に垂直方向の側面をチャネル幅として用いる半導体凸部を複数有するため、チャネル幅あたりの必要な平面的面積を小さくすることができ、素子の微細化に有利である。また、このマルチ構造は、チャネル幅の異なる複数種のトランジスタを1チップ内に形成する場合でも、半導体凸部の数を変えることによりチャネル幅を制御することができ、これにより、チャネル幅を変えるために素子の高さを変える必要がなくなるため、素子の凹凸の程度を抑えて素子特性の均一性を確保することができる。
- [0051] 本発明におけるFin型MISFETは、その半導体凸部の両側面に主たるチャネルが形成されるものが好ましく、またそのゲート電極下の半導体凸部の幅Wが、動作時に当該半導体凸部の両側面からそれぞれ形成される空乏層により完全に空乏化される幅であることが好ましい。このような構成は、カットオフ特性やキャリア移動度の向上、

基板浮遊効果の低減に有利である。このような構成が得られる素子構造としては、ゲート電極下の半導体凸部の幅Wが、当該半導体凸部の高さHの2倍以下、あるいはゲート長L以下であることが好ましい。具体的には、ゲート電極下の半導体凸部の幅Wは、加工精度や強度等の観点から、5nm以上に設定することが好ましく、10nm以上がより好ましく、一方、当該半導体凸部の側面に形成されるチャネルを支配的なチャネルとし且つ完全空乏型の構造を得る観点から、60nm以下に設定することが好ましく、30nm以下がより好ましい。

[0052] 本発明における前記半導体凸部を有するMISFETの具体的寸法等は、例えば次の範囲で適宜設定することができる。

[0053] 半導体凸部の幅W: 5〜100nm、
半導体凸部の高さH: 20〜200nm、
ゲート長L: 10〜100nm、
ゲート絶縁膜の厚さ: 1〜5nm (SiO₂ の場合)、
チャネル形成領域の不純物濃度: $0 \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、
ソース/ドレイン領域の不純物濃度: $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 。

[0054] なお、半導体凸部の高さHは、ベース絶縁膜平面から突出した半導体部分の基板平面に垂直方向の長さを指す。また、チャネル形成領域は、半導体凸部のゲート電極下の部分を指す。

[0055] 本発明は、以上に説明したFin型MISFETを備えた半導体装置に係るものであり、さらに以下に説明する特徴的構成を有する。

[0056] 本発明の半導体装置は、Fin型MISFETを埋め込むように基体上に設けられた層間絶縁膜と、この層間絶縁膜に形成された溝に導電体が埋め込まれてなる埋め込み導体配線を有する。そして、この埋め込み導体配線は、そのFin型MISFETの半導体凸部のソース/ドレイン領域と、前記層間絶縁膜下の他の導電部とを結合する。

[0057] 図4(a)〜(e)に上記構成の一実施形態を示す。この構成は、一つのFin型MISFETが複数の半導体凸部を有し、これら複数の半導体凸部に跨って設けられた一の導体配線でゲート電極が構成される、いわゆるマルチ構造を持つFin型MISFETを有する場合の例である。図4(a)は平面図を示し、図4(b)はA-A'線断面図を示し、

図4(c)はB-B'線断面図を示し、図4(d)はC-C'線断面図を示し、図4(e)はD-D'線断面図を示す。図中の402はベース絶縁膜、403は半導体凸部、404はゲート電極、405はゲート絶縁膜、406はソース/ドレイン領域、407はチャネル形成領域、408はキャップ絶縁膜、410は第1層間絶縁膜、411は埋め込み導体配線、420は第2層間絶縁膜、421はプラグ、422は上層配線を示す。ゲート電極404と上層配線との接続は図示していないが、例えば図面外の領域にてプラグを介して上層配線と接続することができる。このとき、前記プラグとゲート電極との間には適宜埋め込み導体配線411と同時形成される埋め込み導体配線を介在させてもよい。

[0058] 図4に示す実施形態においては、ベース絶縁膜402上に二つの半導体凸部403を持つマルチ構造のFin型MISFETが形成され、このFin型MISFETは第1層間絶縁膜410によって埋め込まれている。そして、この第1層間絶縁膜410には、当該第1層間絶縁膜410に形成された溝に導電体が埋め込まれてなる埋め込み導体配線411が設けられ、この埋め込み導体配線411で二つの半導体凸部403のソース/ドレイン領域同士が結合されている。さらに、この埋め込み導体配線411は第2層間絶縁膜420に設けられたプラグ421を介して上層配線422に接続されている。埋め込み導体配線と上層配線との接続は、図5に示すように直接接続されていてもよい。図5(a)は平面図を示し、図5(b)はA-A'線断面図を示し、図5(c)はB-B'線断面図を示し、図5(d)はC-C'線断面図を示し、これらの図中の符号は図4中の符号と対応する。

[0059] 埋め込み導体配線と半導体凸部とを、基板平面において、両者の長手方向の中心線が互いに交差するように設けることにより、好ましくは直交するように設けることにより、埋め込み導体配線の長手方向への位置合わせズレに対して両者を自己整合的に接続することができる。結果、目合わせズレによる接続不良が生じにくくなり、素子の信頼性や歩留まりを向上することができる。また、この埋め込み導体配線を形成するために層間絶縁膜に設ける溝は、その開口形状をライン状にすることにより、細い開口パターンの形成が容易となる。ライン状の開口パターンはその形成が容易である上、矩形の開口に比べて導電体を埋め込み易く、製造の点から有利である。結果、開口パターンの形成不良や導電体の埋め込み不良が起きにくいため、素子の信頼

性や歩留まりを向上することができる。

- [0060] 従来、半導体装置において導体同士を電氣的に接続する場合、コンタクト孔に充填されたコンタクト導体と、このコンタクト導体同士を接続する配線導体との2つの導体を設けていた(例えば図2の符号228と229)。一方、本発明によれば、半導体凸部と他の任意の導体部(図4では他の半導体凸部)とを、一時に形成可能な、1つの埋め込み導体配線によって接続することができる。これにより、工程数が削減し、信頼性や歩留まりを向上することができる。
- [0061] 本発明において、埋め込み導体配線による接続は、接続すべき半導体凸部が基体平面より突起していること、あるいはさらに他の導体部が基体平面より突起していることを利用しており、これらの半導体凸部の最上面あるいはさらに他の導体部の最上面より、埋め込み導体配線の下面を低くすることにより良好な接続を行うことができる。
- [0062] また本発明において、埋め込み導体配線は複数設けることができるが、その上面はほぼ同一平面内に揃っていることが、後の製造工程を容易にする点から好ましい。例えばフォトリソ工程やエッチング工程などの埋め込み導体配線へのコンタクト形成工程における面内均一性がとりやすくなる。層間絶縁膜に形成した溝に導体を埋設し、溝内部以外の導体を化学的機械的研磨(CMP)法によって除去することで埋め込み導体配線を形成することにより、複数の埋め込み導体配線の上面の高さを揃えることができる。また、このCMP工程によれば、埋め込み導体配線の上面と層間絶縁膜の上面の高さも揃えることができる。このため、この層間絶縁膜の上にさらに層間絶縁膜を堆積した後に、この層間絶縁膜を平坦化するためのCMP工程を省略することができ、製造工程を簡略化できる。
- [0063] 本発明における埋め込み導体配線は、図4及び図5に示すように、半導体凸部403のソース/ドレイン領域406との接続部において、当該半導体凸部403の相対する両側面に接触していることが好ましい。これにより、埋め込み導体配線と半導体凸部との接触面積が大きくなり、接触抵抗を低減することができる。本発明では、図4及び図5に示すように、半導体凸部403の上面と両側面とが埋め込み導体配線411と接していることが好ましいが、両側面において十分な接触面積が確保されている場合

は、図6に示すように、半導体凸部403上のキャップ絶縁膜408を除去しないで埋め込み導体配線411を形成し、当該埋め込み導体配線411が半導体凸部403の上面と接しない構造とすることもできる。図6(a)は、図4(a)のB-B'線断面図を示し、図6(b)はC-C'線断面図を示し、これらの図中の符号は図4中の符号と対応する。

[0064] また、本発明における埋め込み導体配線411と半導体凸部403のソース/ドレイン領域406との接続部において、十分な接触面積が確保されていれば、当該半導体凸部の相対する両側面における接触部分は、前述の図4～6に示すように、半導体凸部側面の下端に達してない(すなわち埋め込み導体配線411がベース絶縁膜402に達していない)部分的な接触であってもよい。

[0065] また、本発明における埋め込み導体配線411と半導体凸部403のソース/ドレイン領域406との接続部は、図7(a)及び図7(b)に示すように、半導体凸部側面の上端から下端にわたって(ソース/ドレイン領域406の基板に垂直方向の全体にわたって)接触していてもよい。図7(a)及び図7(b)は、それぞれ図4(a)のB-B'線断面図を示し、これらの図中の符号は図4中の符号と対応する。この場合、埋め込み導体配線411がベース絶縁膜402に達しており、さらに半導体凸部403の下端より深い位置まで(ベース絶縁膜402平面より下方にまで)延在している。また、図7(a)に示すように、半導体凸部403下の絶縁膜が除去され、そこに導電体が埋め込まれることにより、半導体凸部403の下面も埋め込み導体配線411と接触する構成とすることもできる。

[0066] 本発明における埋め込み導体配線411は、図8に示すように、半導体凸部403の長手方向(チャネル長方向)の端面と接触していてもよい。これにより、埋め込み導体配線と半導体凸部との接触抵抗をさらに低減することができる。

[0067] 以上に説明した図4～8に示す構造は、ベース絶縁膜402上に半導体凸部403が設けられた場合を示すが、本発明は、図9に示すように、半導体凸部403がベース絶縁膜402下の半導体基板401の一部である構成をとってもよい。図9(a)はB-B'線断面図を示し、図9(b)はC-C'線断面図を示し、これらの図中の符号は図4中の符号と対応する。なお、図9(a)及び図9(b)に示す構造においては、ゲート電極下の半導体凸部上面にはキャップ絶縁膜に代えてゲート絶縁膜405が設けられており、ゲート電極下以外の半導体凸部上面の絶縁膜は除去されている。なお、キャップ絶縁

膜の有無は、半導体凸部がベース絶縁膜上にあるか、半導体基板の一部であるかに関わらず、適宜選択することができる。

[0068] また、図4～8に示す構造は、互いに分離した複数のライン状の半導体凸部を有する場合を示すが、図10(平面図)に示すように、隣り合う半導体凸部403の、少なくとも一方(図10では両方)のチャネル長方向の端部同士が一体に結合された構成を有していてもよい。半導体凸部の幅Wの均一性を確保するために、ゲート電極404と半導体凸部端同士の結合部との距離dを十分にとることが好ましい。また、この結合部の少なくとも上面全体が埋め込み導体配線411と接続していることが好ましく、図10に示すように両側面が接続していることがより好ましい。このような接続部を設けることにより、埋め込み導体配線との接触面積を増大することができる他、半導体凸部の高さが高いときに発生しやすくなる半導体凸部の倒壊を防止することができる。また、この結合部は、平面において、埋め込み導体配線の形成領域内に位置するため、従来の接続用パッドのように大きくする必要がなく、高密度化を十分に確保することができる。なお、距離dを十分に大きくとった場合でも、埋め込み導体配線をゲート電極に近い部分で半導体凸部と接続するようにすれば抵抗の増加を防ぐことができる。

[0069] 本発明における埋め込み導体配線は、種々の導電体から構成することができるが、溝内にバリア機能や密着機能を有する下地膜を介してW等の導電性金属あるいは金属化合物が埋め込まれた構成をとることができる。下地膜形成用の金属あるいは金属化合物を直接埋め込んだ構成とすることも可能である。下地膜としては、例えばTi膜、TiN膜、Ta膜、TaN膜、WN膜、これらの二種以上から選ばれる膜を含む積層膜を挙げることができる。

[0070] 本発明において、埋め込み導体配線と半導体凸部のソース/ドレイン領域との接続部は、金属又は金属化合物等からなる低抵抗化層が介在する構成をとることができる。これにより、埋め込み導体配線と半導体凸部との接触抵抗を低減することができる。この低抵抗化層は、半導体凸部のソース/ドレイン領域の全体を覆うように設けることができ、また、半導体凸部と埋め込み導体配線との接続部に選択的に設けることもできる。この低抵抗化層は、Ti、W等の金属や、Ti、Co、Ni、Pt、Pd、Mo、W、Zr、Hf、Ta、Ir、Al、V、Cr等の金属から選ばれる少なくとも一種の金属のシリサイ

ド化合物で形成することができる。

[0071] 本発明における半導体凸部は、直方体形状をとることができるが、例えば後述する図22に示すように、その幅W(基板平面に平行かつチャネル長方向に垂直な方向の幅)が、当該半導体凸部のソース/ドレイン領域と埋め込み導体配線との接続部において、ゲート電極下の部分の幅Wより広い形状をとることができる。この幅Wが広い部分は、半導体凸部のソース/ドレイン領域の少なくとも上端部分に設けることが好ましく、これにより、当該接続部における接触面積が大きくなり、接触抵抗を低減することができる。この幅の広い部分は、半導体凸部の上端部において、ソース/ドレイン領域のチャネル長方向全体にわたって設けてもよいし、半導体凸部と埋め込み導体配線との接続部に選択的に設けてもよい。

[0072] 以上に説明した実施形態は、いずれも、一つのFin型MISFETが複数の半導体凸部を有し、これら半導体凸部のソース/ドレイン領域間が埋め込み導体配線により結合された構造を有している。本発明は、また、一のFin型MISFETを構成する半導体凸部のソース/ドレイン領域と、他のMISFETのゲート電極又はソース/ドレイン領域とが埋め込み導体配線により結合された構造を有することもできる。

[0073] 図11に、一のFin型MISFETを構成する半導体凸部403aのソース/ドレイン領域406と、他のFin型MISFETのゲート電極404bとを埋め込み導体配線411cで結合する構造を示す。図11(a)は平面図であり、図11(b)はA-A'線断面図である。図中の符号403a及び403bは半導体凸部、符号404a及び404bはゲート電極を構成する導体配線、符号405bはゲート絶縁膜、符号411a、411b及び411cは埋め込み導体配線を示し、その他の符号は図4中の符号と対応する。この構成によれば、異なるMISFET間のソース/ドレイン領域とゲート電極との高密度接続が可能となる。

[0074] 図12に、一のFin型MISFETを構成する半導体凸部403aのソース/ドレイン領域と、他のFin型MISFETを構成する半導体凸部403bのソース/ドレイン領域とを埋め込み導体配線411cで結合する構造を示す。図12(a)は平面図であり、図12(b)は回路図である。図中の符号403a及び403bは半導体凸部、符号404はゲート電極を構成する導体配線、符号411a、411b及び411cは埋め込み導体配線を示し、黒塗りの円形部はプラグを示す。

- [0075] 図12に示す実施形態は、二つの半導体凸部403aを持つpMOSと一つの半導体凸部403bを持つnMOSを有するCMOSインバータの例である。pMOS及びnMOSのゲート電極は共通の導体配線404で構成され、この導体配線404には入力部に通じるプラグが接続されている。埋め込み導体配線411cによって、pMOSのドレイン領域とnMOSのドレイン領域とが結合され、この埋め込み導体配線411cには出力部へ通じるプラグが接続されている。また、この埋め込み導体配線411cは、pMOSの二つの半導体凸部403aにそれぞれ設けられたドレイン領域間を結合している。一方、このpMOSの二つの半導体凸部403aにそれぞれ設けられたソース領域間は埋め込み導体配線411aで結合され、この埋め込み導体配線411aには供給電源Vddへ通じるプラグが接続されている。nMOSの半導体凸部403bのソース領域は、埋め込み導体配線411bに接続され、この埋め込み導体配線411bにはグランドGNDへ通じるプラグが接続されている。
- [0076] 図13～14に、第一のFin型MISFETを構成する半導体凸部のソース/ドレイン領域と、第二のFin型MISFETを構成するソース/ドレイン領域と、第三のFin型MISFETを構成するゲート電極とを埋め込み導体配線で結合する構造を示す。図13(a)は回路図、図13(b)は平面図であり、図14(a)、図14(b)及び図14(c)はそれぞれ、A-A'線断面図、B-B'線断面図およびC-C'線断面図である。図中の符号403a、403b、403c及び403dは半導体凸部、符号404a、404b、404c及び404dはゲート電極を構成する導体配線、符号411L1、411L2、411a1、411a2、411b、411c、411d1及び411d2は埋め込み導体配線、その他の符号は図4中の符号と対応する。なお、黒塗りの円形部分はプラグを示す。
- [0077] この実施形態は、Fin型MISFETからなる一対の駆動トランジスタTd1、Td2、一対の負荷トランジスタTp1、Tp2及び一対の転送トランジスタTt1、Tt2を有し、前記一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と、前記一対の転送トランジスタとでメモリセルを構成するSRAM(Static Random Access Memory)の例である。ここで、一対の駆動トランジスタTd1、Td2と一対の転送トランジスタTt1、Tt2はnチャネル型であり、一対の負荷トランジスタTp1、Tp2はpチャネル型である。

[0078] 上記フリップフロップ回路は、図13(a)に示すように、一对のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタと一つの負荷トランジスタで構成されている。一方のCMOSインバータを構成する駆動トランジスタTd1及び負荷トランジスタTp1のゲートは、他方のCMOSインバータを構成する駆動トランジスタTd2及び負荷トランジスタTp2のドレイン(蓄積ノードN2)に接続されている。また、この後者のCMOSインバータを構成する駆動トランジスタTd2及び負荷トランジスタTp2のゲートは、前者のCMOSインバータを構成する駆動トランジスタTd1及び負荷トランジスタTp1のドレイン(蓄積ノードN1)に接続されている。このように、一对のCMOSインバータ間において、一方のCMOSインバータの入出力部(蓄積ノード)と他方のCMOSインバータのゲートとが互いにローカル配線(局所配線)と呼ばれる一对の配線L1、L2を介してクロスカップル(交差結合)されている。

[0079] この実施形態では、図13(b)に示すように、第1駆動トランジスタTd1及び第1負荷トランジスタTp1のゲート電極が共通の第1導体配線404bで構成され、第2駆動トランジスタTd2及び第2負荷トランジスタTp2のゲート電極が共通の第2導体配線404cで構成されている。また、第1駆動トランジスタTd1及び第1転送トランジスタTt1は共通の第1半導体凸部403aを有し、第2駆動トランジスタTd2及び第2転送トランジスタTt2は共通の第2半導体凸部403dを有する。そして、一对のローカル配線の一方を構成する埋め込み導体配線411L2で、第1導体配線404bと、第2負荷トランジスタTp2の第3半導体凸部403cに設けられたドレイン領域と、第2半導体凸部403dに設けられた第2駆動トランジスタTd2及び第2転送トランジスタTt2に共通のソース/ドレイン領域とが接続され、他方のローカル配線を構成する埋め込み導体配線411L1で、第2導体配線404cと、第1負荷トランジスタTp1の第4半導体凸部403bに設けられたドレイン領域と、第1半導体凸部403aに設けられた第1駆動トランジスタTd1及び第1転送トランジスタTt1に共通のソース/ドレイン領域とが接続されている。すなわち、前記フリップフロップ回路の一对の入出力端子間を交差結合する一对のローカル配線L1、L2がそれぞれ埋め込み導体配線411L1、411L2で構成されている。

[0080] また、この実施形態において、転送トランジスタTt1、Tt2の他方のソース/ドレイン領域にはそれぞれ埋め込み導体配線411a1、411d1が接続され、これら埋め込み導

体配線411a1、411d1にはそれぞれビット線BLに通じるプラグが接続されている。また、転送トランジスタTt1、Tt2のゲート電極を構成する導体配線404a、404dにはそれぞれワード線WLに通じるプラグが接続されている。第1及び第2負荷トランジスタTp1、Tp2のソース領域にはそれぞれ埋め込み導体配線411b、411cが接続され、これら埋め込み導体配線411b、411cにはそれぞれ供給電源Vddに通じるプラグが接続されている。そして、第1及び第2駆動トランジスタTd1、Td2のソース領域にはそれぞれ埋め込み導体配線411a2、411d2が接続され、これら埋め込み導体配線411a2、411d2にはグラウンドGNDへ通じるプラグが接続されている。

[0081] このような構成によれば、高密度配線が可能であり、また余分な追加工程を行うことなくローカル配線を形成することができる。また、複数のFin型MISFETをそれぞれ構成する半導体凸部が互いに平行配置されている場合は、ラインアンドスペース状に半導体凸部をパターンニングすればよいので、幅Wが細い半導体凸部であっても容易に且つ精度よく形成することができる。

[0082] 本発明は、Fin型MISFETが平面型MISFETと同一基板上に形成される場合においても適用できる。さらに、Fin型MISFETと平面型MISFETとの電気的接続にも、本発明による埋め込み導体配線を使用することができる。図25に一例を示す。図25(a)～(c)はそれぞれ図4(a)～(c)に対応する断面位置における構造を示す。

[0083] 図25の例では、図4に示すFin型MISFETを構成する半導体凸部403の一方に代えて、幅広の半導体凸部403pが形成されている。この幅広の半導体凸部403pはその上面に主なチャネルが形成され、平面型MISFETを構成している。このような平面型MISFETは、集積回路の入出力部やアナログ部に好適に使用できる。なお、この例では、平面型MISFETを形成しやすいようにキャップ絶縁膜408を設けていない。また、平面型MISFETのゲート電極404pは、Fin型MISFETのゲート電極404とは分離して設けられている。

[0084] 図25の例では、埋め込み導体配線411は、Fin型MISFETの半導体凸部403の一方のソース/ドレインと、平面型MISFETの幅広半導体凸部403pの一方のソース/ドレインとに接続されている。このようにFin型MISFETに用いられる埋め込み導体配線を、平面型MISFETに対しても適用することで、Fin型MISFETと平面型MI

SFETとの構造およびプロセスを共通化でき、Fin型MISFETと平面型MISFETを混在させた集積回路の高密度化および低コスト化を図ることができる。

- [0085] なお、図25の例は、SOI基板を用い、半導体凸部403がベース絶縁膜上の半導体層で形成される構造を示しているが、バルク基板を用いて半導体凸部がその基板の一部で構成される構造にも適用できる。
- [0086] 以上に説明した素子構造において、ベース絶縁膜の材料としては、所望の絶縁性を有するものであれば特に制限はなく、例えば SiO_2 、 Si_3N_4 、 AlN 、アルミナ等の金属酸化物や、有機絶縁材料を挙げることができる。半導体凸部を形成する半導体としては単結晶シリコンを好適に用いることができる。
- [0087] また、本発明においては、ベース絶縁膜下の基板としてシリコン基板を好適に用いることができるが、ベース絶縁膜下の半導体基板の一部で半導体凸部を構成する場合を除き、半導体凸部の下に絶縁体があれば本発明を構成することができる。例えば、SOS(シリコン・オン・サファイア、シリコン・オン・スピネル)のように、半導体層下の絶縁体自体が支持基板となる構造を挙げることができる。絶縁性の支持基板としては、上記SOSの他、石英や AlN 基板が挙げられる。SOIの製造技術(貼り合わせ工程および薄膜化工程)によってこれらの支持基板上に半導体層を設けることができる。
- [0088] 本発明におけるゲート電極の材料としては、所望の導電率及び仕事関数を持つ導電体を用いることができ、例えば不純物が導入された多結晶シリコン、多結晶 SiGe 、多結晶 Ge 、多結晶 SiC 等の不純物導入半導体、 Mo 、 W 、 Ta 、 Ti 、 Hf 、 Re 、 Ru 等の金属、 TiN 、 TaN 、 HfN 、 WN 等の金属窒化物、コバルトシリサイド、ニッケルシリサイド、白金シリサイド、エルビウムシリサイド等のシリサイド化合物が挙げられる。また、ゲート電極の構造は、単層膜の他、半導体と金属膜との積層膜、金属膜同士の積層膜、半導体とシリサイド膜との積層膜等の積層構造を用いることができる。
- [0089] 本発明におけるゲート絶縁膜としては、 SiO_2 膜、 SiON 膜を用いることができる他、いわゆる高誘電体絶縁膜(High-K膜)を用いてもよい。High-K膜としては、例えば、 Ta_2O_5 膜、 Al_2O_3 膜、 La_2O_3 膜、 HfO_2 膜、 ZrO_2 膜等の金属酸化膜、 HfSiO 、 ZrSiO 、 HfAlO 、 ZrAlO 等の組成式で示される複合金属酸化物を挙げることができる。

また、ゲート絶縁膜は積層構造を有していてもよく、例えばシリコン等の半導体層に、 SiO_2 や HfSiO 等のシリコン含有酸化膜を形成し、その上にHigh-K膜を設けた積層膜を挙げることができる。

[0090] 以下、本発明の半導体装置の製造方法について例を挙げて説明する。

[0091] まず、シリコン基板上に SiO_2 からなる埋め込み絶縁膜(ベース絶縁膜)を有し、その上に単結晶シリコンからなる半導体層を有するSOI基板を用意する。そして、このSOI基板の半導体層上に犠牲酸化膜を形成し、この犠牲酸化膜を介してチャネル形成領域のための不純物をイオン注入する。次いで、犠牲酸化膜を除去した後、半導体層上にキャップ絶縁膜形成用の絶縁膜を形成する。なお、上記したイオン注入、犠牲酸化膜の形成と除去とは適宜省略することができる。

[0092] 次に、フォトリソグラフィとドライエッチングにより、半導体層とその上に形成された絶縁膜とをパターンニングして、半導体凸部を形成する。次いで、半導体凸部表面(側面)にゲート絶縁膜を形成する。

[0093] なお、半導体凸部上面にキャップ絶縁膜を形成しない場合、フォトリソグラフィの適用前に前記絶縁膜を除去してもよい。また、前記絶縁膜と半導体層とを連続してパターンニングする代わりに、まずフォトリソグラフィにより前記絶縁膜をパターンニングし、レジストマスクを除去した後、前記パターンニングされた絶縁膜をマスク(ハードマスク)として前記半導体層をパターンニングしてもよい。

[0094] また、半導体凸部の形成後、ゲート絶縁膜の形成前に、ベース絶縁膜を異方的(下方向)にエッチングすることで π ゲート構造を形成し、等方的(下方向と横方向)にエッチングすることで Ω ゲート構造またはGAAゲート構造を形成することができる。

[0095] 次に、多結晶シリコン膜を全面に形成し、これをパターンニングしてゲート電極用の配線パターンを形成する。次いで、基板平面に対して斜め方向から不純物のイオン注入を行って、この配線パターンに導電性を付与するとともに半導体凸部にソース/ドレイン領域を形成する。この時点の構成を図15に示す。図15(a)は平面図、図15(b)はA-A'線断面図、図15(c)はB-B'線断面図、図15(d)はC-C'線断面図であり、これらの図中の符号は図4中の符号と対応する。

[0096] 次に、全面に層間絶縁膜410を形成し、化学的機械的研磨(CMP)法により表面

を研磨して平坦化する。

[0097] 次に、フォトリソグラフィとドライエッチングにより、結合しようとする導電部(半導体凸部)が露出するように溝430を形成する。このとき、溝内のキャップ絶縁膜408も除去して半導体凸部403の表面を露出させる。この時点の構成を図16に示す。図16(a)は平面図、図16(b)はA-A'線断面図、図16(c)はB-B'線断面図、図16(d)はC-C'線断面図であり、これらの図中の符号は図4中の符号と対応する。

[0098] 次に、溝430内を被覆するように下地膜431をCVD (Chemical Vapor Deposition) やPVD (Physical Vapor Deposition) 等により全面に形成し、次いで導電体をCVD 等により溝内を埋め込むように堆積する。続いて、CMP法により、溝内部以外の下地膜および導電体膜を除去して表面を平坦化し、埋め込み導体配線411を形成する。この時点の構成を図17に示す。図17(a)はB-B'線断面図、図17(b)はC-C'線断面図であり、これらの図中の符号は図16中の符号に対応する。なお、下地膜431と半導体凸部403とをシリサイド化反応させ、接触抵抗を下げることができる。このシリサイド化反応を行う場合は、半導体凸部におけるチャネル長方向の導電性の観点から、半導体凸部の芯部に未反応部分(単結晶シリコンなどの半導体)を残すことが好ましい。

[0099] 次に、公知の方法によって、図4又は図5に示すように、プラグを介して或いは直接に埋め込み導体配線411と結合する上層配線422を設けることができる。プラグは、WやCuを用いて形成することができ、上層配線はCuやAlを用いて形成することができる。

[0100] 前述の図7(b)に示す構造は、上記の溝430の形成工程において、ベース絶縁膜402を彫り込むまでドライエッチングを行い、形成された溝内に導電体を埋め込むことにより得ることができる。また、図7(a)に示す構造は、ベース絶縁膜402を彫り込むまで異方性ドライエッチングを行って溝を形成した後、等方性ドライエッチングあるいはウェットエッチングを行い、溝内における半導体凸部下部の絶縁膜をさらに除去し、そこへ導電体が埋め込まれるように溝内に導電体を埋め込むことにより形成することができる。

[0101] 以上に説明したプロセスにおいて、次の工程を加えることにより、ゲート電極の側面

にサイドウォールを設けることもできる。

- [0102] ゲート電極用配線パターンの形成後、全面にサイドウォール形成用の絶縁膜をゲート電極を埋設できる厚さに設け、CMP法により表面を平坦化する。次いで、ゲート電極用配線パターンのゲート長方向の幅より広い幅を持つレジストパターンを当該配線パターンに重なるように絶縁膜上に設け、このレジストパターンをマスクとして絶縁膜を選択的に除去する。このとき、半導体凸部上のキャップ絶縁膜も選択的に除去される。これにより、図18に示すように、ゲート電極用配線パターン404の側面に当該絶縁膜からなるサイドウォール440を設けることができる。図18(a)は平面図、図18(b)はB-B'線断面図、図18(c)はC-C'線断面図であり、これらの図中の符号は図4中の符号と対応する。不純物のイオン注入は、このサイドウォールの形成工程の前後に行ってもよく、この場合、サイドウォール下に比較的低濃度の不純物拡散層を設けることができ、いわゆるLDD(Lightly doped drain)構造を形成することができる。
- [0103] サイドウォールは次の方法によっても形成することができる。ゲート電極用配線パターンの形成後、全面にサイドウォール形成用の絶縁膜を凹凸の上面にも側面にも同等の厚さだけ堆積されるように薄く設け、これを異方性のエッチングにより上下方向にのみ削り戻す(エッチバックする)。このサイドウォールの形成法は従来の平面型MISFETの製造に用いられる手法と同様であるが、この方法では半導体凸部の側面にもサイドウォールが形成される場合がある。これを防ぐため、ゲート電極を充分厚くしたうえで、半導体凸部の側面にサイドウォールが残らないように充分にエッチバックを行うことが望ましい。
- [0104] さらに、上記のようにしてサイドウォールを形成し、不純物のイオン注入を行った後に、半導体凸部表面に低抵抗化層を形成することができる。図19に、図18に示す工程に続いて、半導体凸部表面に低抵抗化層450を設けた時点の構造を示す。図19(a)は平面図、図19(b)はB-B'線断面図、図19(c)はC-C'線断面図であり、これらの図中の符号は図18中の符号と対応する。
- [0105] この低抵抗化層の形成により、半導体凸部(低抵抗化層を含む)の幅Wが広くなり接触面積が増大し、低抵抗化層自体の導電性と相俟って、当該半導体凸部と埋め込み導体配線との接触抵抗を低減することができる。さらに、半導体凸部のチャネル

長方向の導電性を高めることができる。また、後に行う溝430の形成工程においてエッチングストップとして利用することができる。この低抵抗化層は、 NiSi 、 CoSi_2 、 TiSi_2 、 Ni 、 Co 、 Ti 、 W 等の金属または金属化合物を半導体凸部の露出部にCVD法等により選択的に成長することで形成することができる。また、こうして成長した金属を、半導体凸部を構成するシリコンとシリサイド化反応させて接触抵抗の低減を図ってもよい。あるいは、この低抵抗化層は、 Ni 、 Co 、 Ti 等をPVD法、CVD法等により非選択的に成長させ、これをシリサイド化させる(半導体凸部の露出部において、この金属と半導体凸部を構成するシリコンとを自己整合的にシリサイド化反応させ、その後未反応の金属のみを除去する)ことによっても形成することができる。以上のシリサイド化を行う場合、半導体凸部におけるチャネル長方向の導電性の観点から、半導体凸部の芯部に未反応部分(単結晶シリコン)を残すことが好ましい。あるいは未反応部分を意図的になくすことで、ショットキー・ソース/ドレインを形成することもできる。

[0106] 上記低抵抗化層450を形成した後、全面に層間絶縁膜410を形成し、CMP法により表面を平坦化する。次いで、フォトリソグラフィとドライエッチングにより、結合しようとする導電部(半導体凸部403)が露出するように溝430を形成する。この時点の構成を図20に示す。図20(a)は平面図、図20(b)はA-A'線断面図、図20(c)はB-B'線断面図、図20(d)はC-C'線断面図であり、これらの図中の符号は図19中の符号と対応する。次に、図21に示すように、溝430内に下地膜431を介して導電体を埋め込んで埋め込み導体配線411を形成する。図21(a)は平面図、図21(b)はB-B'線断面図、図21(c)はC-C'線断面図であり、これらの図中の符号は図20中の符号に対応する。なお、低抵抗化層450は、溝430を形成した後に、溝内に露出する半導体凸部表面に設けてもよい。次に、公知の方法によって、図4又は図5に示すように、プラグを介して或いは直接に埋め込み導体配線411と結合する上層配線422を設けることができる。

[0107] また、上述のプロセスにおいて、低抵抗化層450の形成前に、図22に示すように、半導体凸部表面にSiエピタキシャル成長を行い、成長シリコン層460を設けることができる。図22(a1)、(b1)、(c1)及び(d1)は、図18(a)におけるB-B'線による断面図であり、図22(a2)、(b2)、(c2)及び(d2)は、図18(a)におけるC-C'線による断

面図であり、これらの図中の符号は図18の符号に対応する。この成長シリコン層460を設けることにより、半導体凸部の幅Wが広くなり接触面積が増大し、当該半導体凸部と埋め込み導体配線との接触抵抗を低減することができる。成長シリコン層460は、露出する半導体凸部の表面全体に設けてもよいが、半導体凸部の上端部の幅Wが広がるように形成すればよく、例えば図22(a1)に示すように、当該半導体凸部の上面から相対する側面の少なくとも一部にわたって設けられていればよい。成長シリコン層460には、図22(b1)、(b2)に示すように、導電性の確保のために不純物のイオン注入を行うことが好ましい。次に、半導体凸部の少なくとも上面に低抵抗化層450を設ける。成長シリコン層460により半導体凸部の幅Wが十分に広がっている場合は、例えば図22(c1)、(c2)に示すように、半導体凸部の上面のみに低抵抗化層450を設けるだけでも十分な接触抵抗の低減効果を得ることができる。この場合、スパッタリング法によりNi、Co、Ti等の金属を半導体凸部の上面に堆積し、次いでサリサイド化を行うことにより低抵抗化層450を容易に形成することができる。次に、全面に層間絶縁膜410を形成し、CMP法により表面を平坦化する。次いで、フォトリソグラフィとドライエッチングにより、結合しようとする導電部(半導体凸部)が露出するように溝430を形成する。次に、図22(d1)、(d2)に示すように、溝430内に下地膜431を介して導電体を埋め込んで埋め込み導体配線411を形成する。次に、公知の方法によって、図4又は図5に示すように、プラグを介して或いは直接に埋め込み導体配線411と結合する上層配線422を設けることができる。なお、この成長シリコン層460は、層間絶縁膜410及び溝430を形成した後、この溝内に露出する半導体凸部表面に設けてもよく、続いて低抵抗化層450を形成することができる。また、層間絶縁膜410の形成前に、成長シリコン層460を半導体凸部の表面全体に設け、さらに低抵抗化層450を半導体凸部の表面全体に設けることで、図19(b)と同様の形状を得るようにしてもよい。

請求の範囲

- [1] 基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース／ドレイン領域とを有するMIS型電界効果トランジスタ、
このトランジスタを含む基体上に設けられた層間絶縁膜、及び
この層間絶縁膜に形成された溝に導電体が埋め込まれてなる埋め込み導体配線を有し、
この埋め込み導体配線は、前記半導体凸部のソース／ドレイン領域と、前記層間絶縁膜下の他の導電部とを結合することを特徴とする半導体装置。
- [2] 前記埋め込み導体配線は、前記半導体凸部のソース／ドレイン領域と、前記層間絶縁膜下の他の導電部とに接続され、且つ前記層間絶縁膜の上面と同一平面にある上面、及び前記ソース／ドレイン領域との接続部における半導体凸部上面より下方にある下面を有する請求項1記載の半導体装置。
- [3] 前記埋め込み導体配線は、前記ソース／ドレイン領域との接続部において、当該半導体凸部の相対する両側面に接触している請求項1又は2記載の半導体装置。
- [4] 前記MIS型電界効果トランジスタとして、第1のトランジスタ及び第2のトランジスタを有し、
前記埋め込み導体配線は、第1のトランジスタのソース／ドレイン領域と、前記の他の導電部として第2のトランジスタのゲート電極又はソース／ドレイン領域とに接続されている請求項1、2又は3記載の半導体装置。
- [5] 前記MIS型電界効果トランジスタとして、基体平面に対して突出した複数の半導体凸部と、これら複数の半導体凸部に跨って設けられ各半導体凸部の上部から相対する両側面上に延在する導体配線で構成されるゲート電極と、このゲート電極と各半導体凸部の間に介在するゲート絶縁膜と、各半導体凸部に設けられたソース／ドレイン領域とを有するトランジスタを有し、
前記埋め込み導体配線は、当該トランジスタにおいて、一の半導体凸部のソース／ドレイン領域と、前記の他の導電部として他の半導体凸部のソース／ドレイン領域と

に接続されている請求項1〜4のいずれか1項に記載の半導体装置。

- [6] 前記複数の半導体凸部が互いに平行配列している請求項5記載の半導体装置。
- [7] 前記埋め込み導体配線が、プラグを介してまたは直接に上層配線と接続されている請求項1〜6のいずれか1項に記載の半導体装置。
- [8] 前記埋め込み導体配線と前記ソース/ドレイン領域との接続部は、金属又は金属化合物からなる低抵抗化層を介して接続されている請求項1〜7のいずれか1項に記載の半導体装置。
- [9] 前記半導体凸部は、基板平面に平行かつチャネル長方向に垂直な方向の幅Wが、少なくとも当該半導体凸部のソース/ドレイン領域と前記埋め込み導体配線との接続部において、ゲート電極下の部分の幅Wより広い部分を有する請求項1〜8のいずれか1項に記載の半導体装置。
- [10] 前記MIS型電界効果トランジスタとして、CMOSインバータを構成する第1導電型トランジスタ及び第2導電型トランジスタを有し、
第1導電型トランジスタ及び第2導電型トランジスタのゲート電極が共通の導体配線で構成され、この導体配線は入力部へ導通され、
前記埋め込み導体配線が、第1導電型トランジスタのドレイン領域と第2導電型トランジスタのドレイン領域とに接続され、出力部へ導通されている請求項1〜9のいずれか1項に記載の半導体装置。
- [11] 一対の第1及び第2駆動トランジスタ、一対の第1及び第2負荷トランジスタ及び一対の第1及び第2転送トランジスタを備えたSRAMセル単位を有する半導体装置であって、
前記の各トランジスタは、基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース/ドレイン領域とを有し、
前記の各トランジスタを構成する半導体凸部は、その長手方向が第1方向に沿って配置され、
第1駆動トランジスタ及び第1転送トランジスタは共通の第1半導体凸部を有し、第2

駆動トランジスタ及び第2転送トランジスタは共通の第2半導体凸部を有し、第1負荷トランジスタは第1半導体凸部と隣り合う第3半導体凸部を有し、第2負荷トランジスタは第2半導体凸部に隣り合う第4半導体凸部を有し、

第1駆動トランジスタ及び第1負荷トランジスタのゲート電極は共通の第1導体配線で構成され、第2駆動トランジスタ及び第2負荷トランジスタのゲート電極は共通の第2導体配線で構成され、これらの導体配線はその長手方向が第1方向に垂直な第2方向に沿って配置されていることを特徴とする半導体装置。

- [12] 前記のSRAMセル単位を含む基体上に設けられた層間絶縁膜、
第1導体配線と、第2負荷トランジスタのドレイン領域と、第2駆動トランジスタのドレイン領域と、第2転送トランジスタのソース/ドレイン領域とに接続され、前記層間絶縁膜に形成された第1埋め込み導体配線、及び
第2導体配線と、第1負荷トランジスタのドレイン領域と、第1駆動トランジスタのドレイン領域と、第1転送トランジスタのソース/ドレイン領域とに接続され、前記層間絶縁膜に形成された第2埋め込み導体配線を有する請求項11記載の半導体装置。
- [13] 第1及び第2埋め込み導体配線はそれぞれ、前記層間絶縁膜の上面と同一平面にある上面、並びに前記ソース領域及びソース/ドレイン領域との接続部における半導体凸部上面より下方にある下面を有する請求項12記載の半導体装置。
- [14] 第1及び第2埋め込み導体配線は、前記ソース領域及びソース/ドレイン領域との接続部において、当該半導体凸部の相対する両側面に接触している請求項12又は13記載の半導体装置。
- [15] 前記のトランジスタとして、基体平面に対して突出した複数の半導体凸部と、これら複数の半導体凸部に跨って設けられ各半導体凸部の上部から相対する両側面上に延在する導体配線で構成されるゲート電極と、このゲート電極と各半導体凸部の間に介在するゲート絶縁膜と、各半導体凸部に設けられたソース/ドレイン領域とを有するトランジスタを有する請求項11～14のいずれか1項に記載の半導体装置。
- [16] 基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース/ドレイン領域と

を有するMIS型電界効果トランジスタを備えた半導体装置の製造方法であって、

前記MIS型電界効果トランジスタを形成する工程と、前記半導体凸部を埋め込むように層間絶縁膜を形成する工程と、この層間絶縁膜に溝を形成して当該溝内に前記半導体凸部のソース/ドレイン領域および当該ソース/ドレイン領域と導通しようとする他の導電部のそれぞれ少なくとも一部を露出させる工程と、前記溝に導電体を埋め込んで前記ソース/ドレイン領域と前記の他の導電部とに接続される埋め込み導体配線を形成する工程とを有する半導体装置の製造方法。

[17] 前記の他の導電部は、他のトランジスタのゲート電極又はソース/ドレイン領域である請求項16記載の半導体装置の製造方法。

[18] 前記MIS型電界効果トランジスタは、基体平面に対して突出した複数の半導体凸部と、これら複数の半導体凸部に跨って設けられ各半導体凸部の上部から相対する両側面上に延在する導体配線で構成されるゲート電極と、このゲート電極と各半導体凸部の間に介在するゲート絶縁膜と、各半導体凸部に設けられたソース/ドレイン領域とを有し、

前記溝の形成工程において、互いに導通しようとする半導体凸部のソース/ドレイン領域のそれぞれ少なくとも一部を露出させ、当該溝に導電体を埋め込んで、当該トランジスタにおける一の半導体凸部のソース/ドレイン領域と他の半導体凸部のソース/ドレイン領域とに接続される埋め込み導体配線を形成する請求項16又は17記載の半導体装置の製造方法。

[19] 前記層間絶縁膜を形成する前に、前記半導体凸部の表面にSiエピタキシャル成長を行う工程を有する請求項16、17又は18記載の半導体装置の製造方法。

[20] 前記層間絶縁膜を形成する前に、前記半導体凸部に金属または金属化合物からなる低抵抗化層を形成する工程を有する請求項16～19のいずれか一項に記載の半導体装置の製造方法。

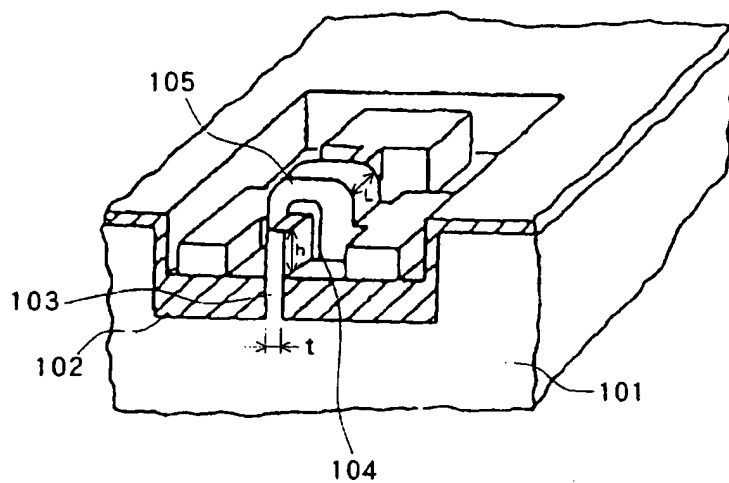
[21] 前記溝を形成した後に、当該溝内で露出する半導体凸部の表面にSiエピタキシャル成長を行う工程を有する請求項16、17又は18記載の半導体装置の製造方法。

[22] 前記溝を形成した後に、当該溝内で露出する前記半導体凸部に金属または金属化合物からなる低抵抗化層を形成する工程を有する請求項16～19、21のいずれか

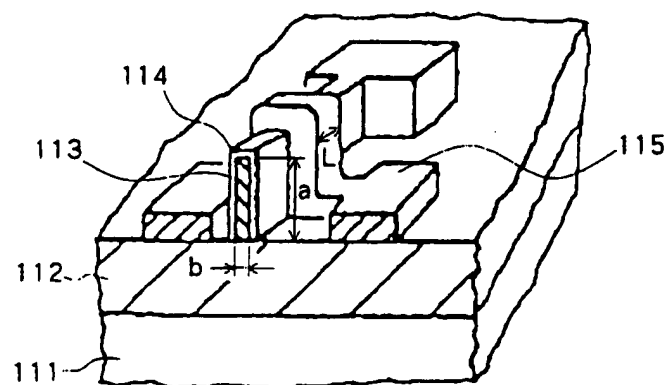
一項に記載の半導体装置の製造方法。

[図1]

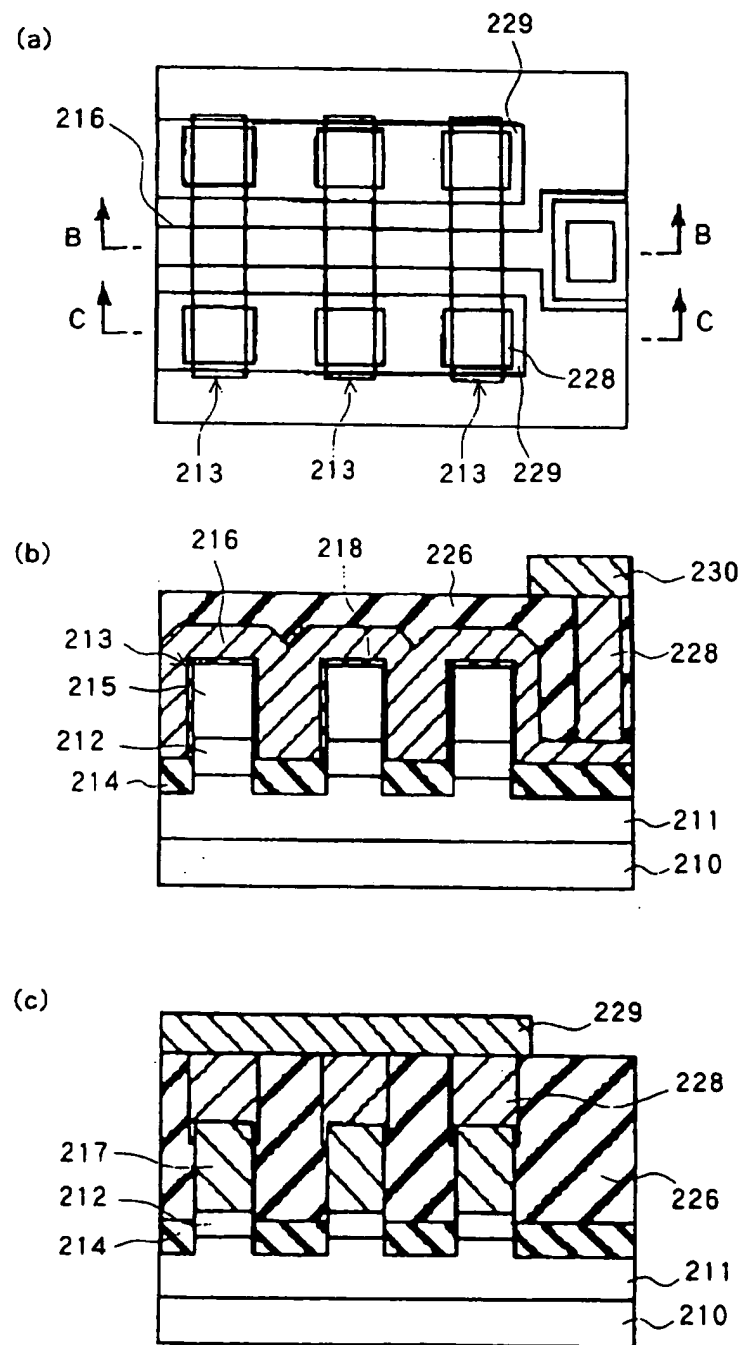
(a)



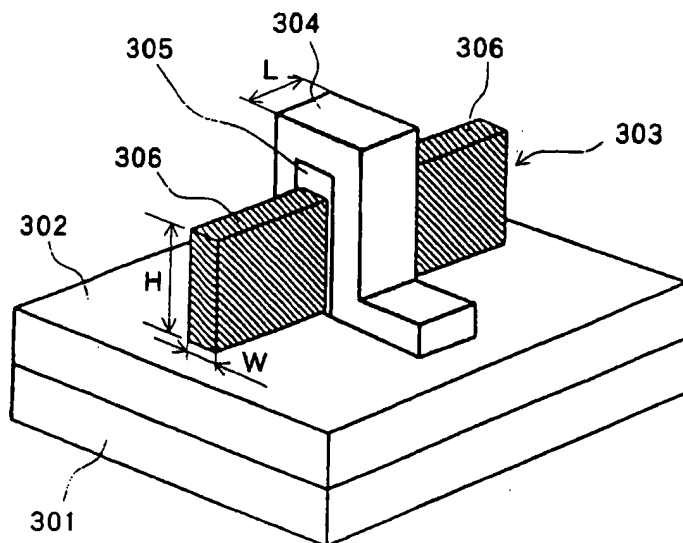
(b)



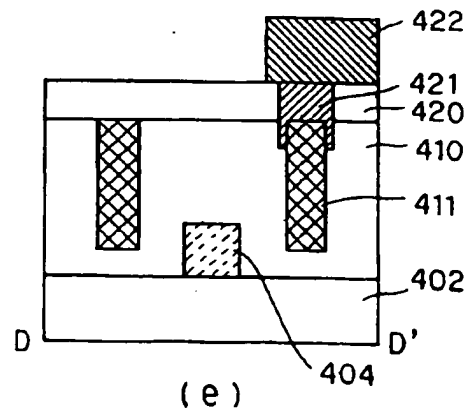
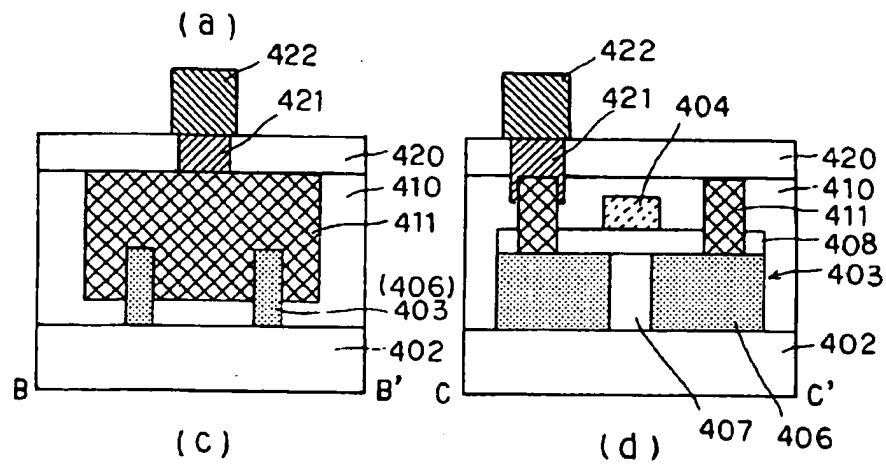
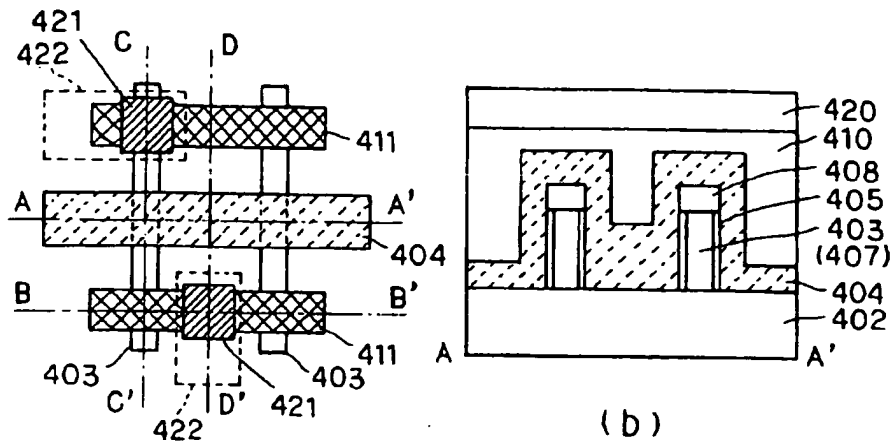
[図2]



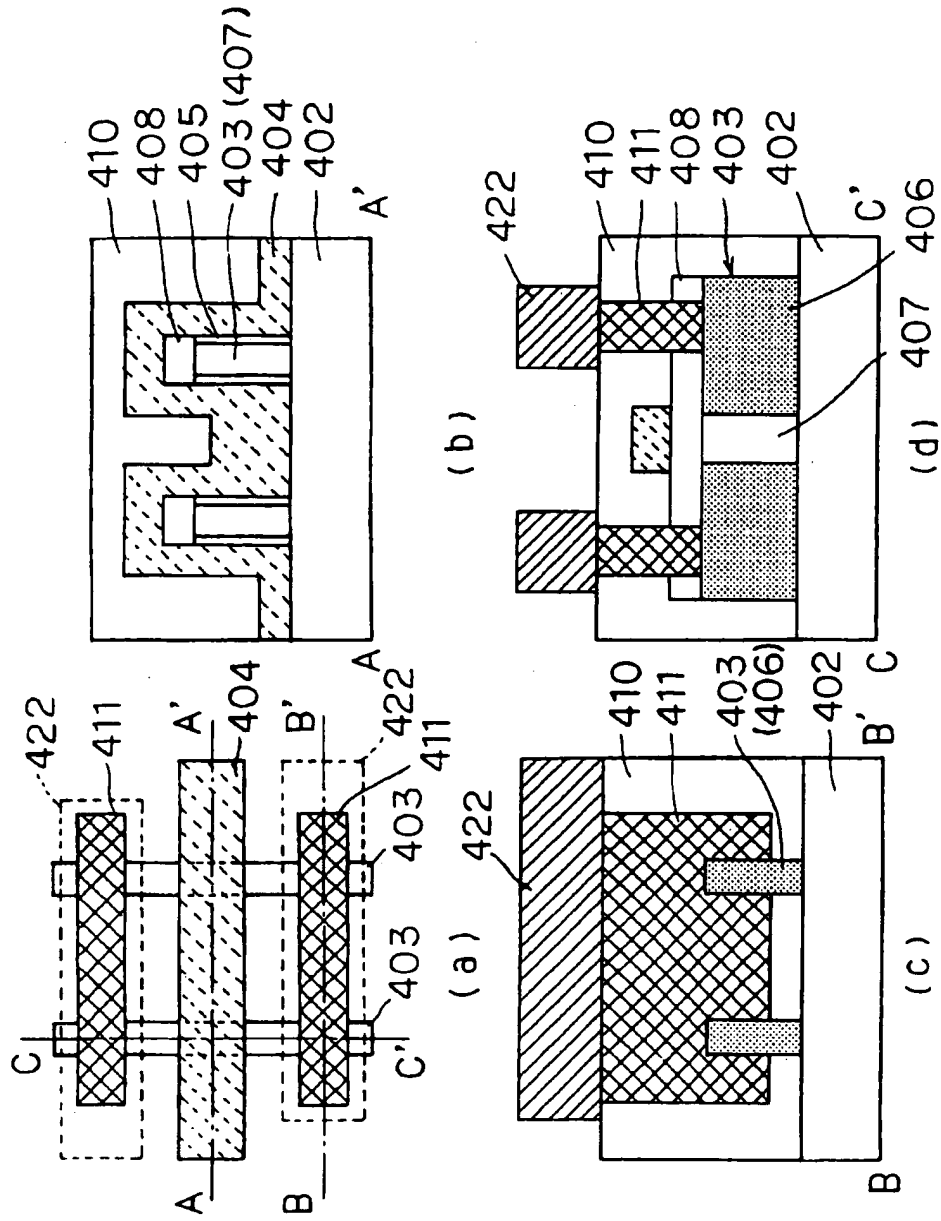
[図3]



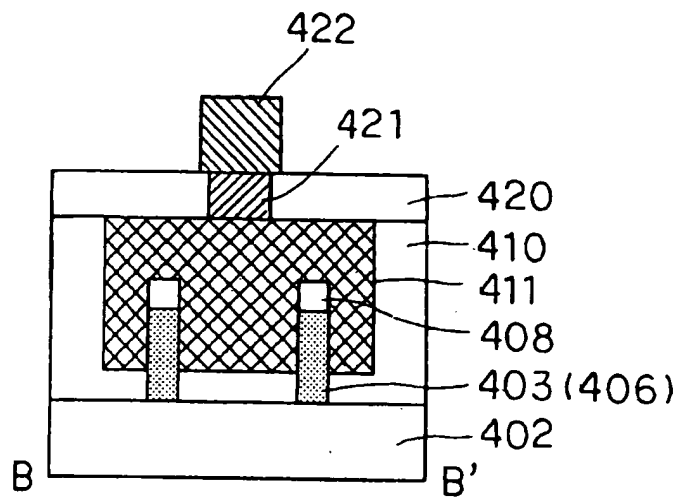
[図4]



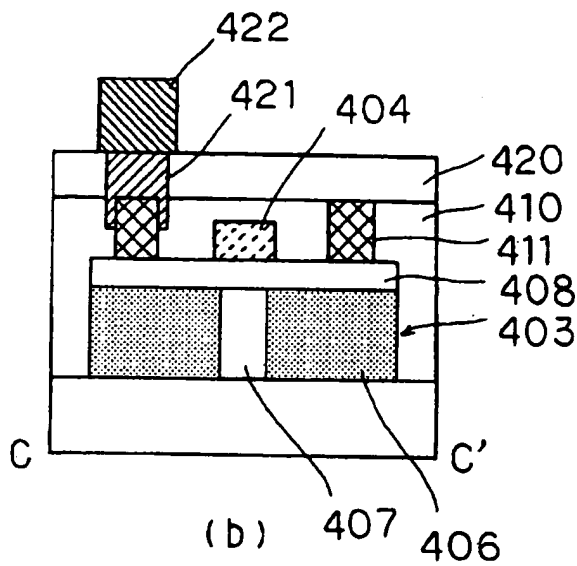
[図5]



[図6]

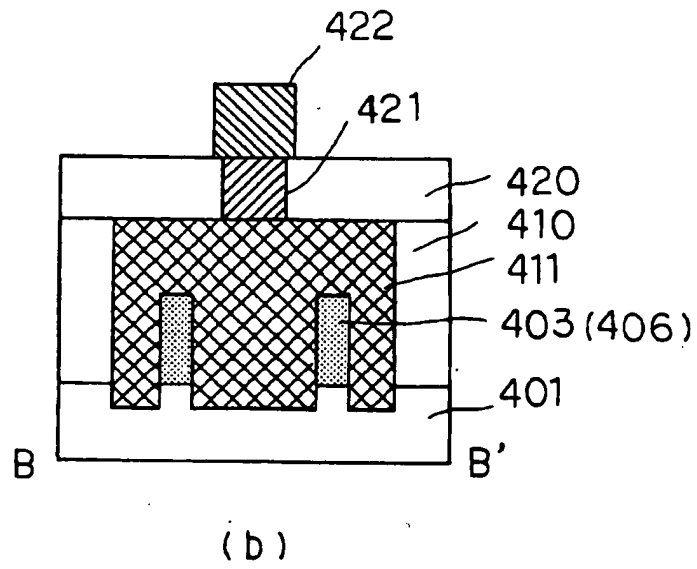
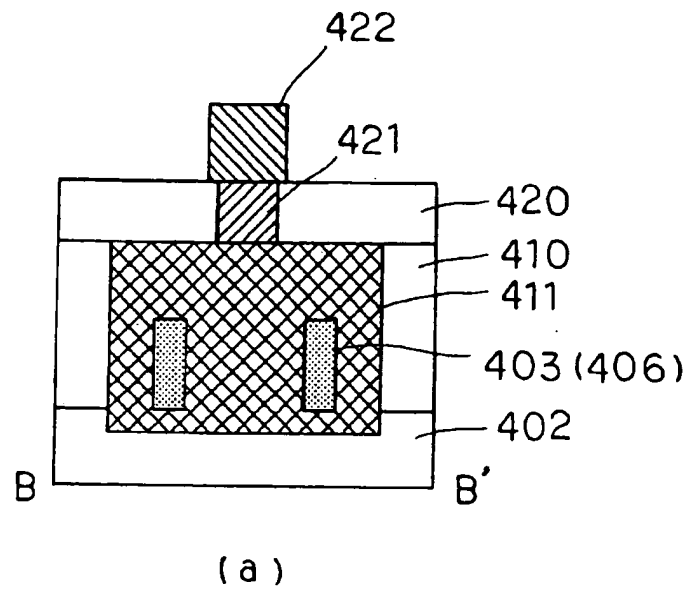


(a)

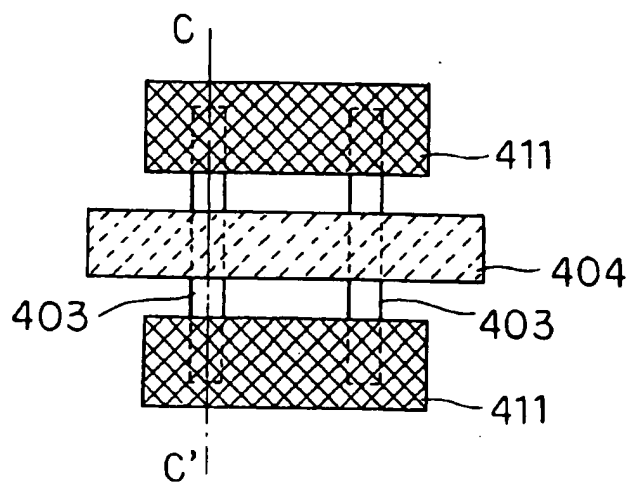


(b)

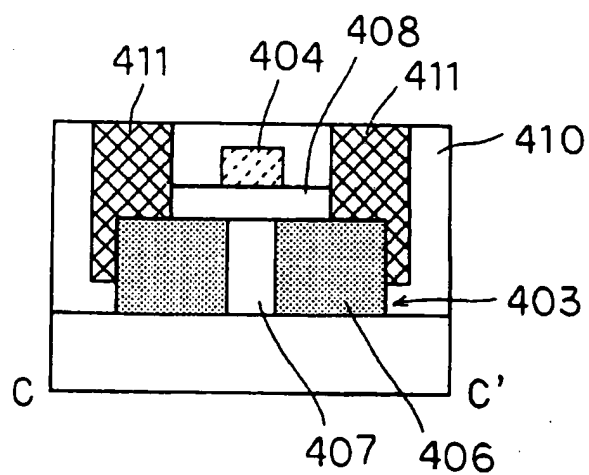
[図7]



[図8]

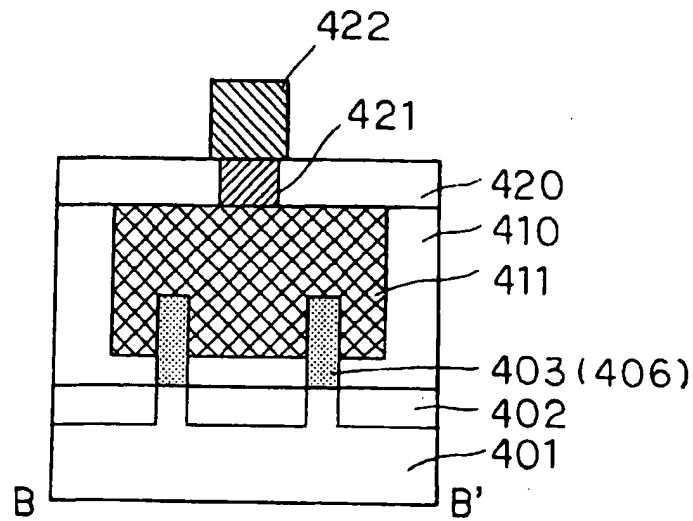


(a)

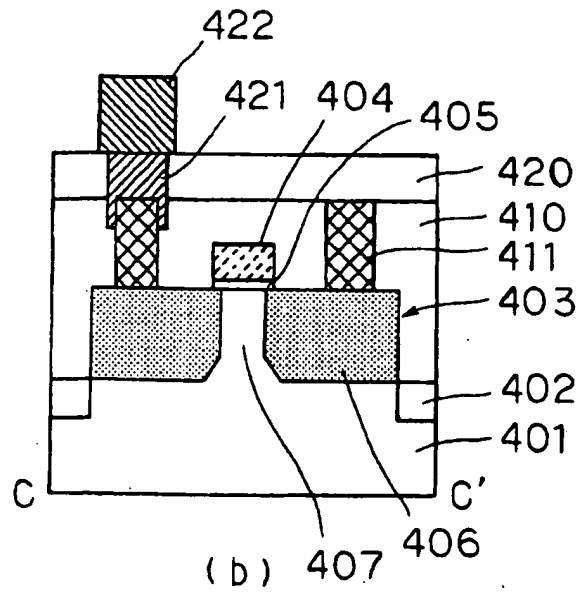


(b)

[図9]

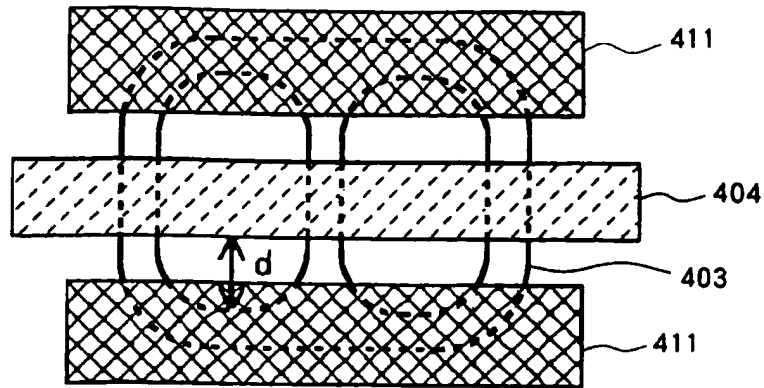


(a)

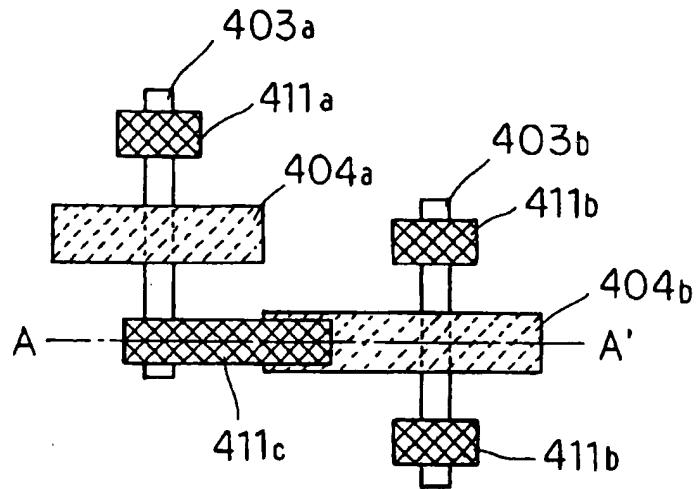


(b)

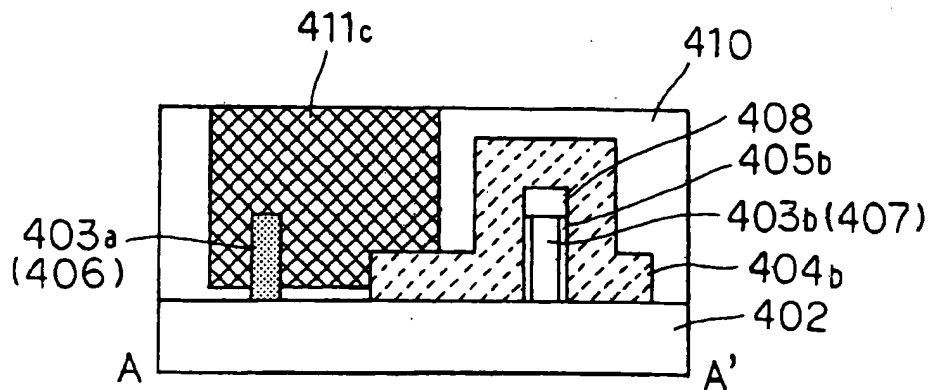
[図10]



[図11]

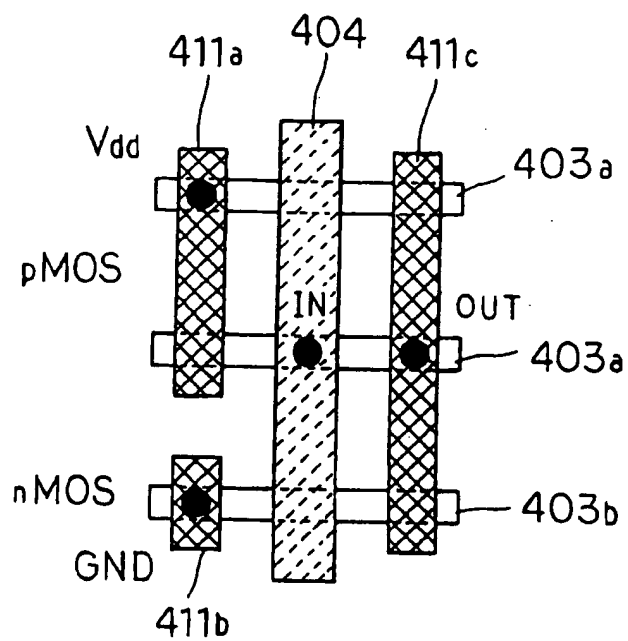


(a)

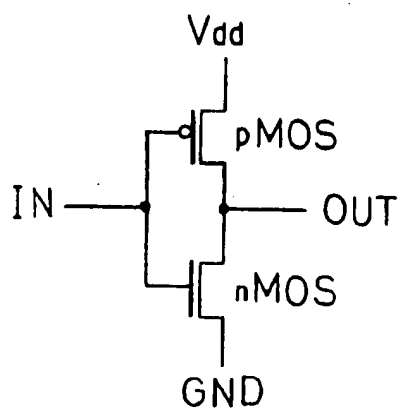


(b)

[図12]

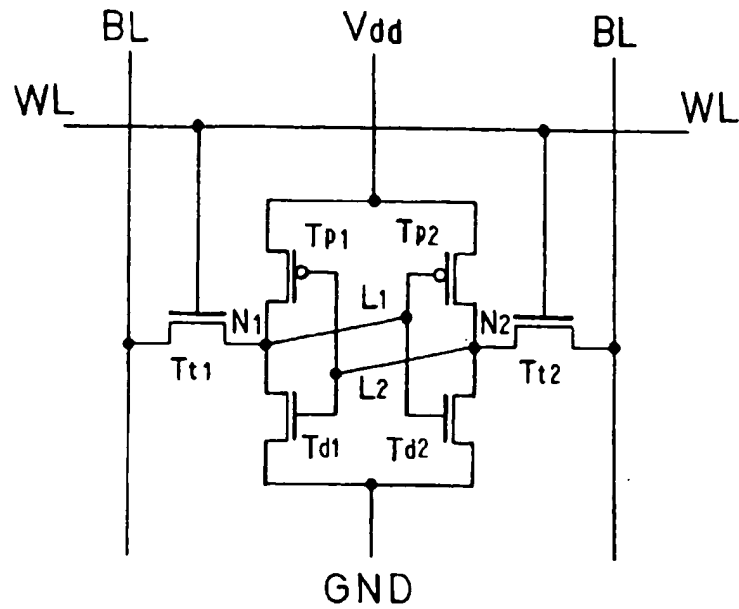


(a)

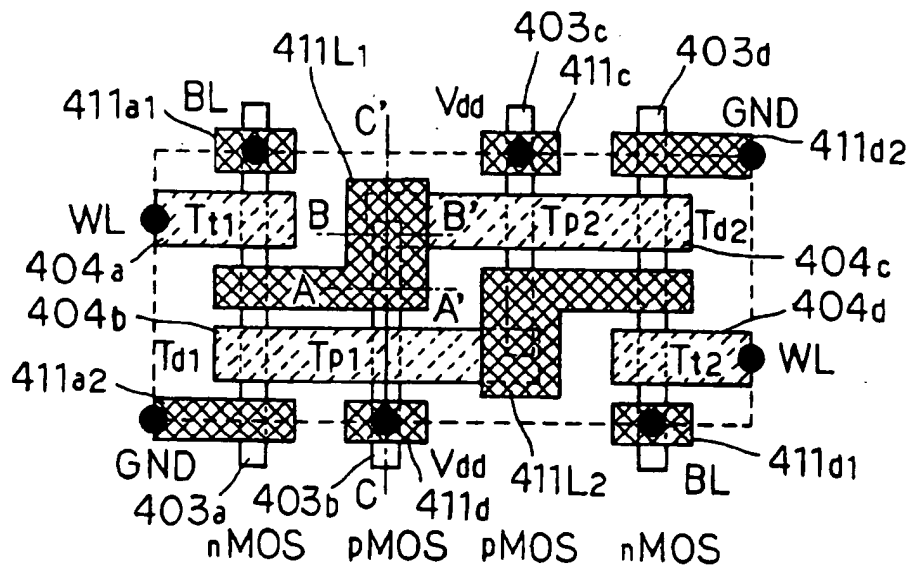


(b)

[図13]

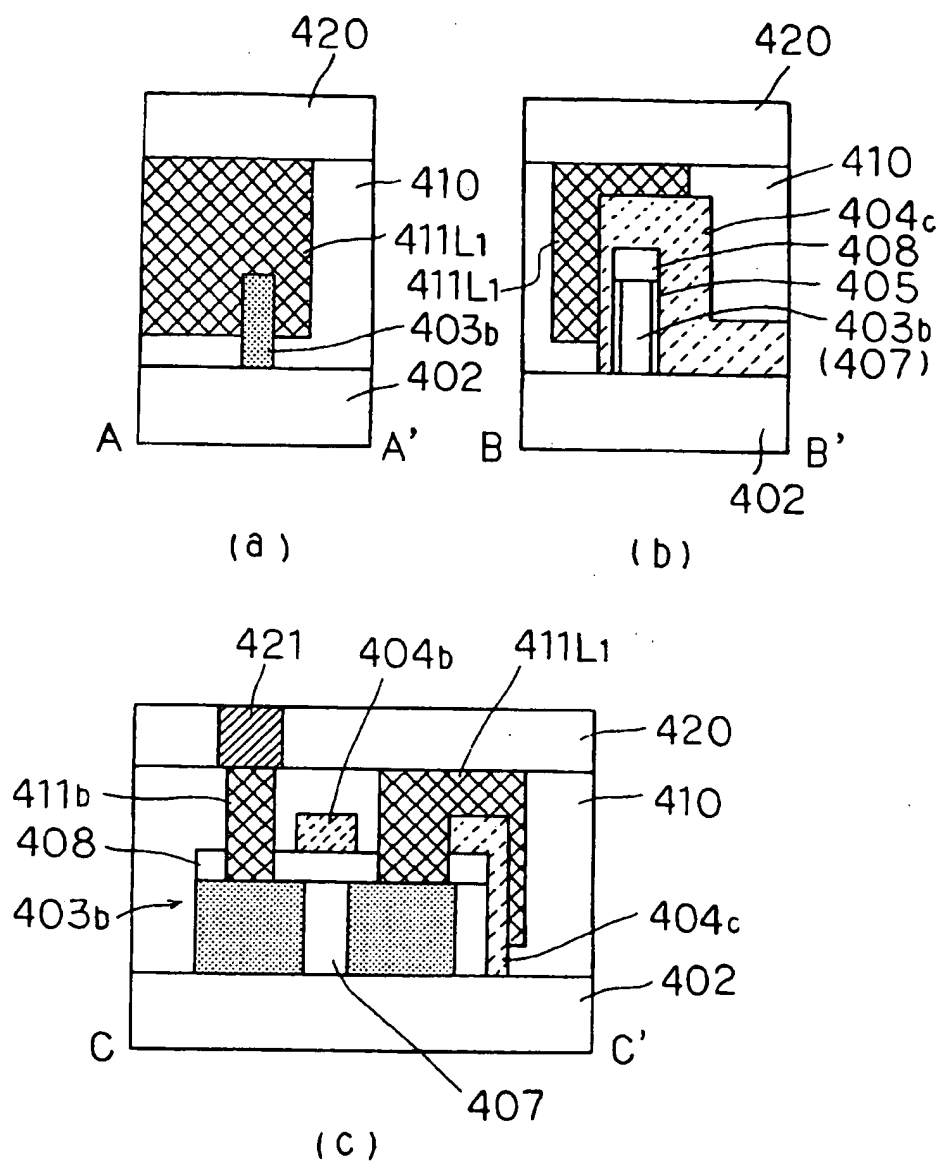


(a)

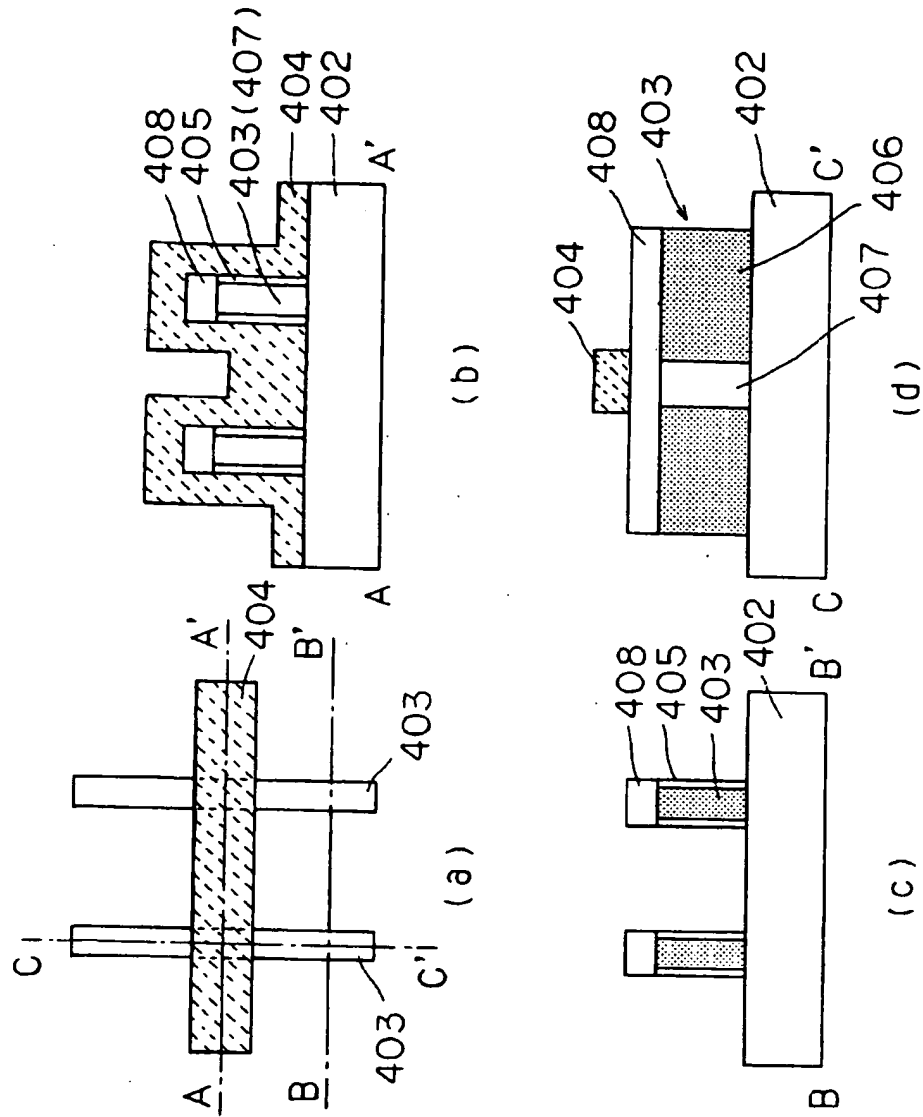


(b)

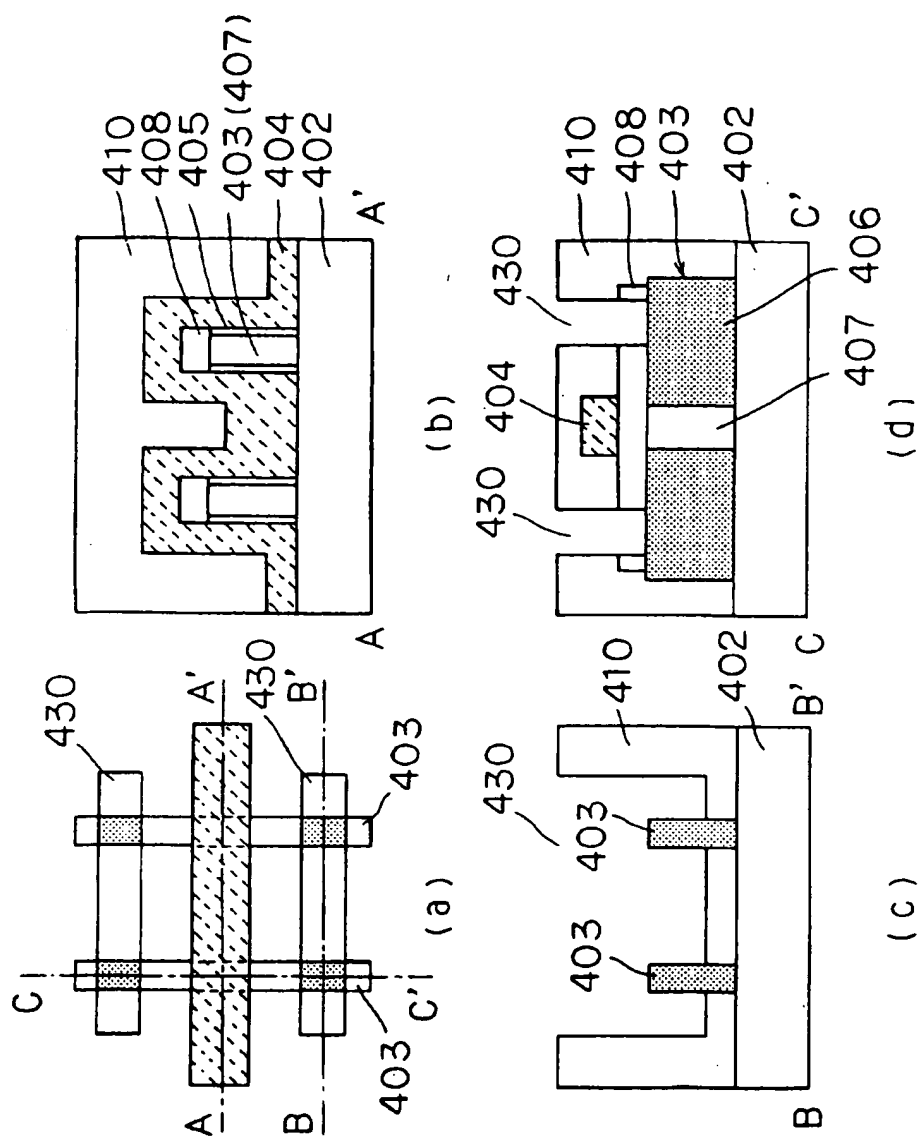
[図14]



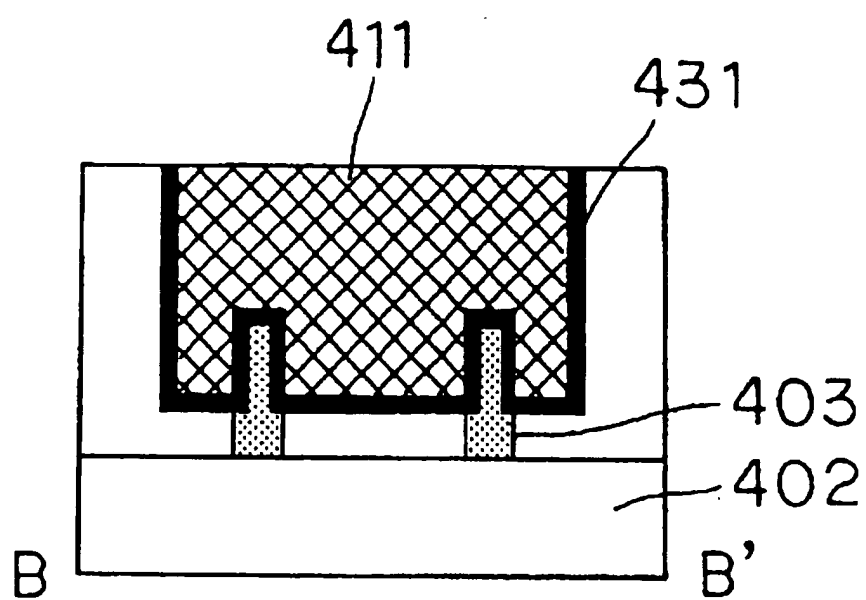
[図15]



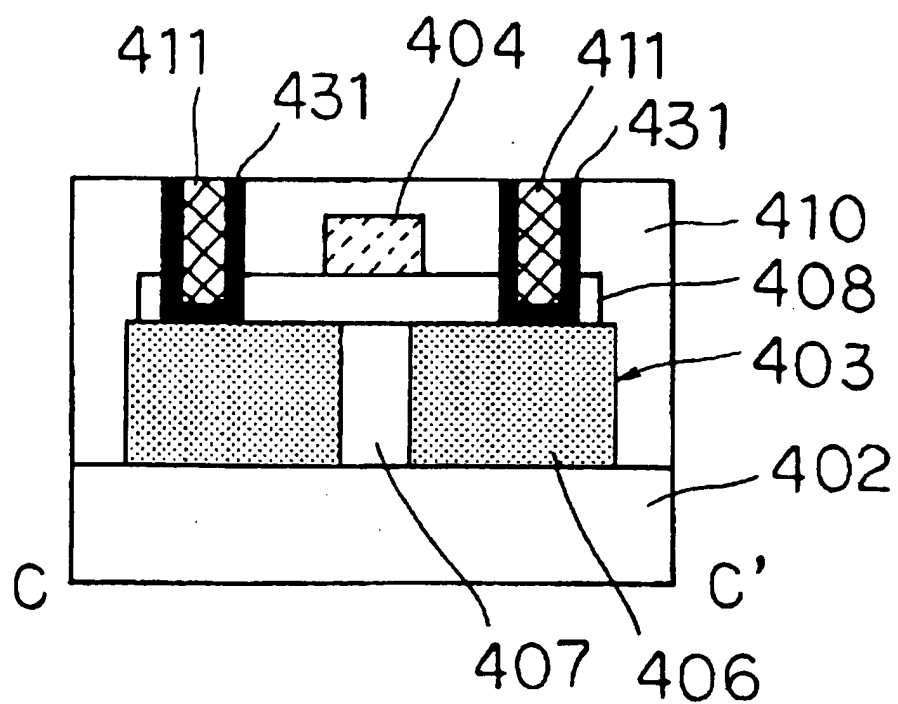
[図16]



[図17]

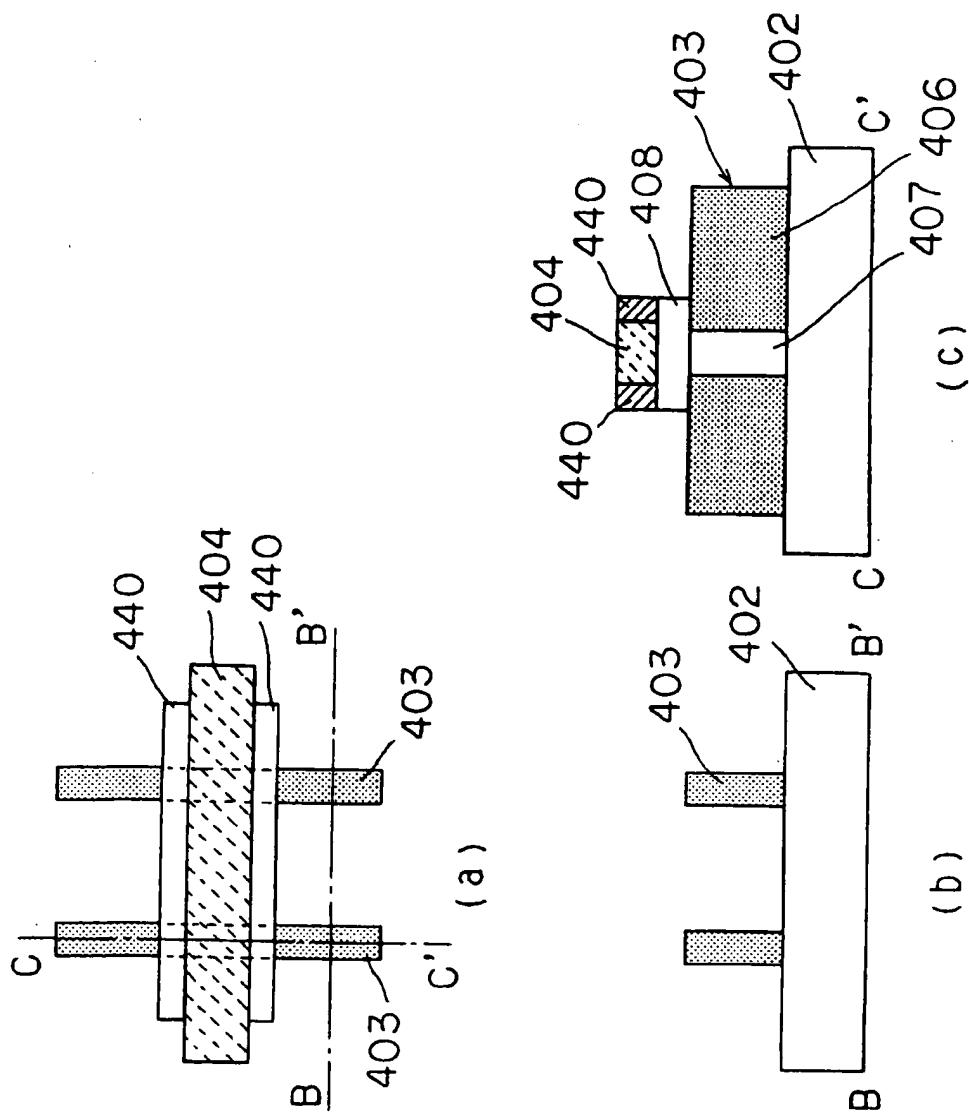


(a)

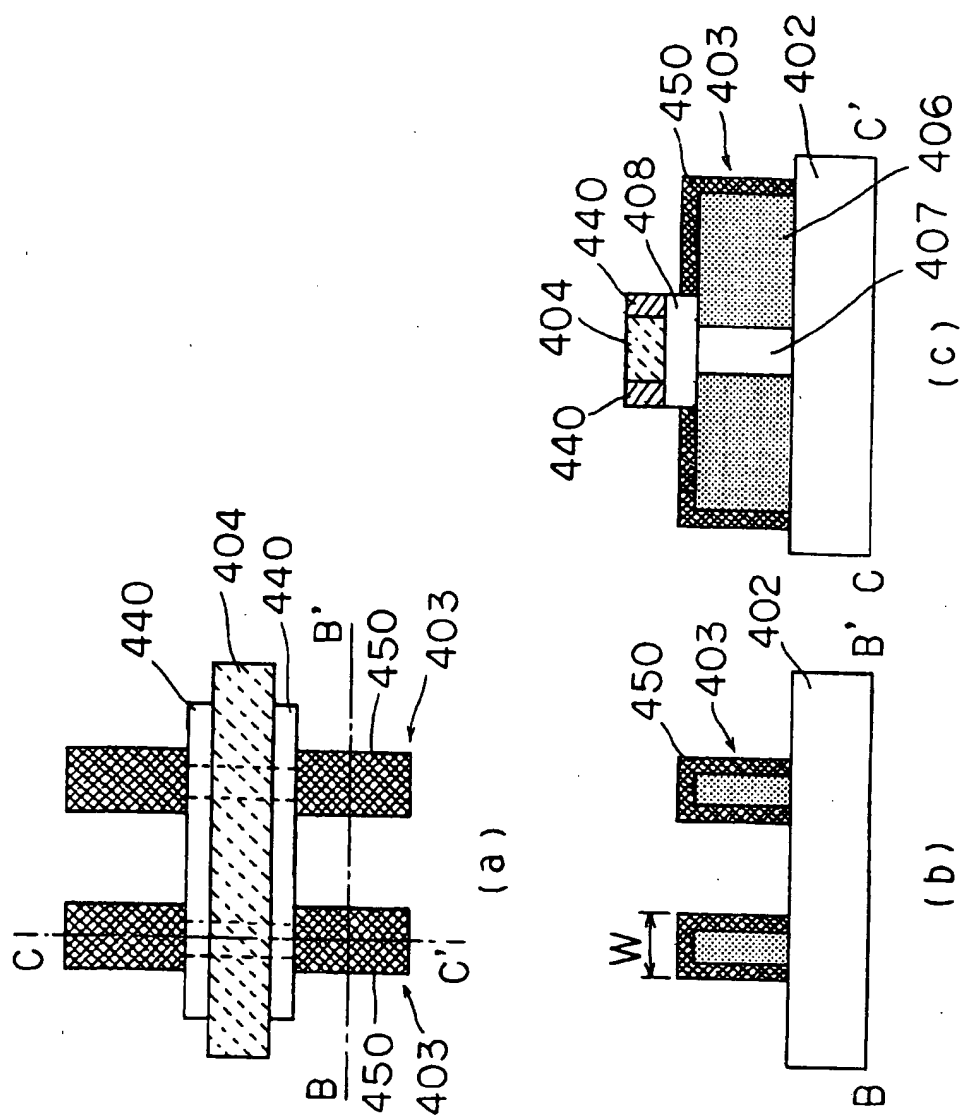


(b)

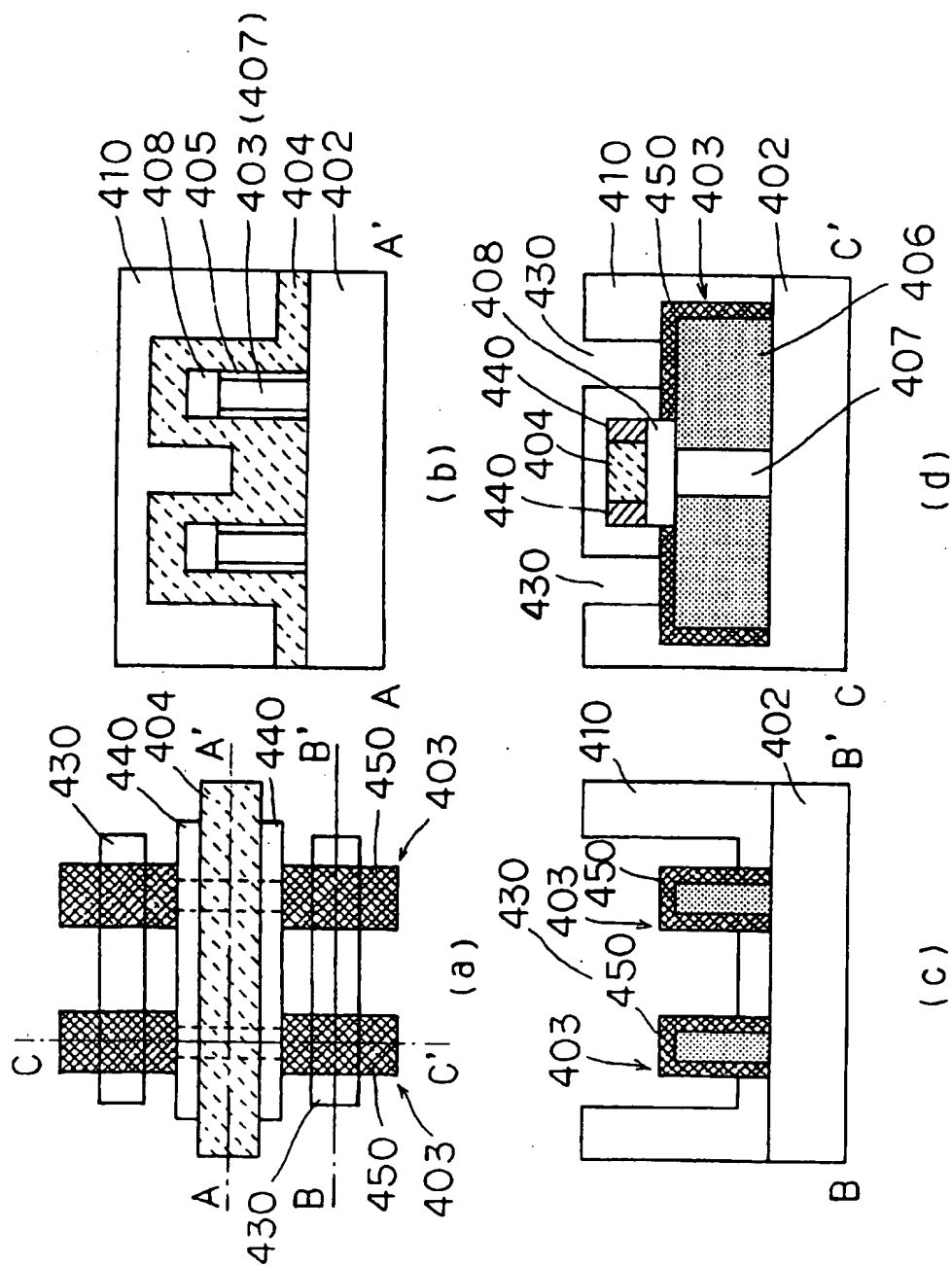
[図18]



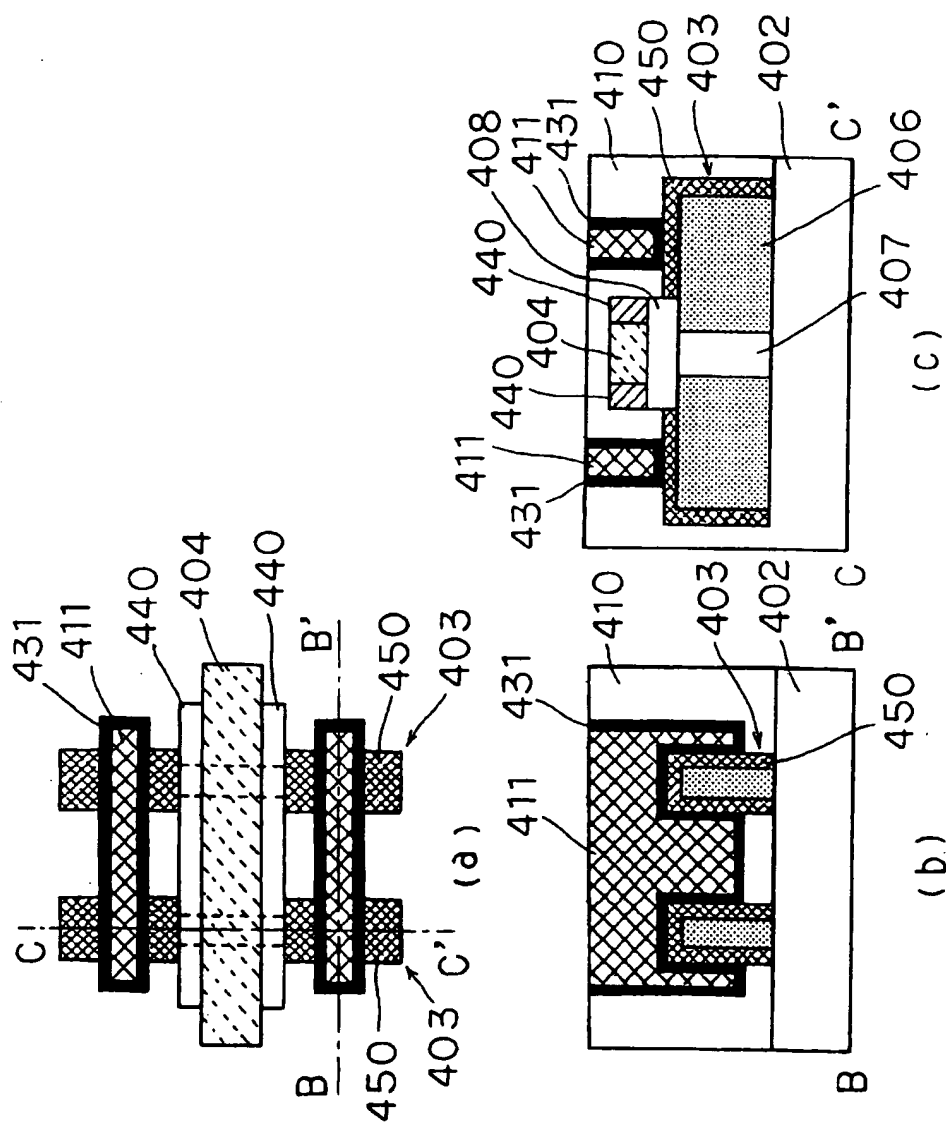
[図19]



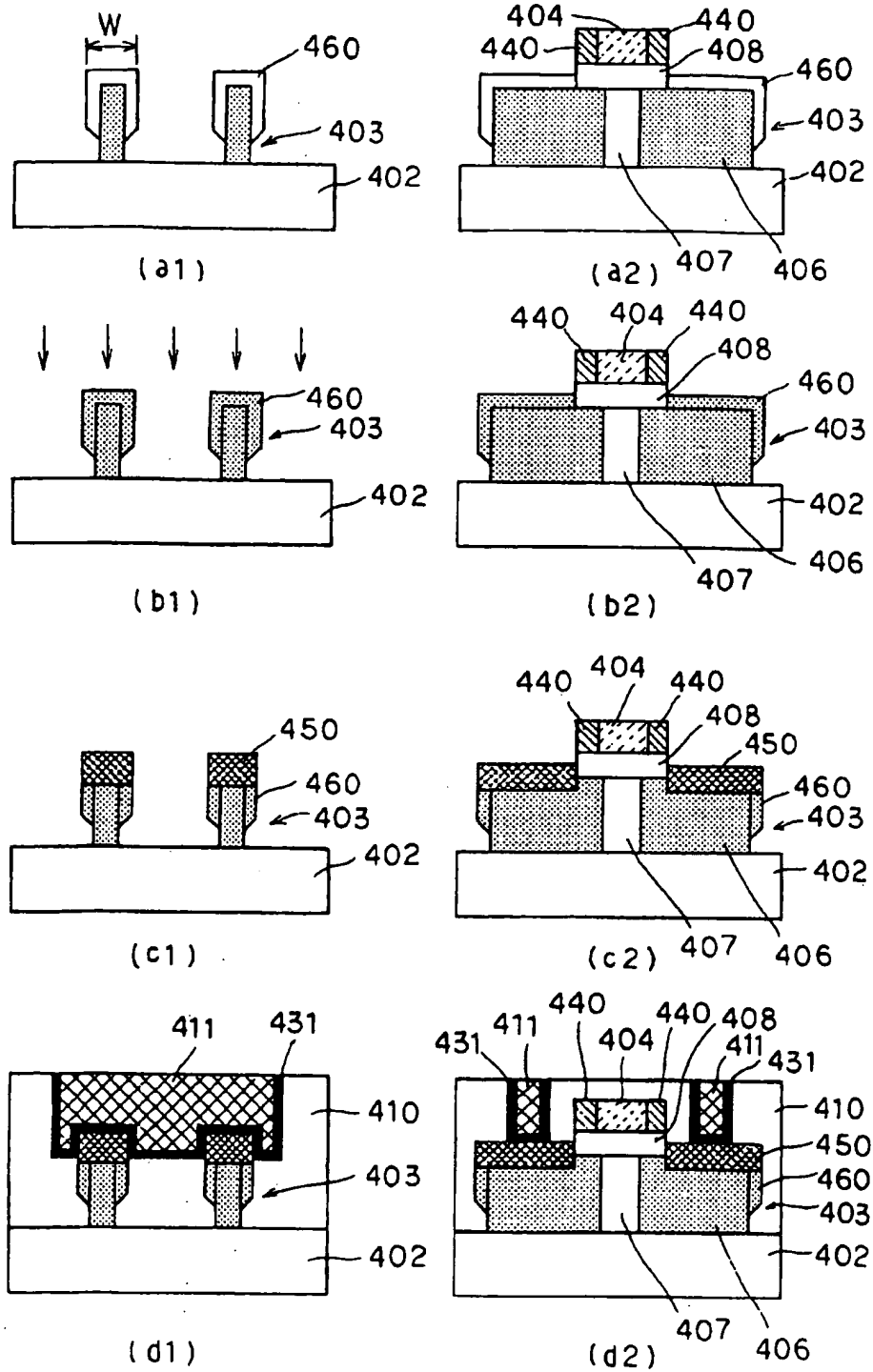
[図20]



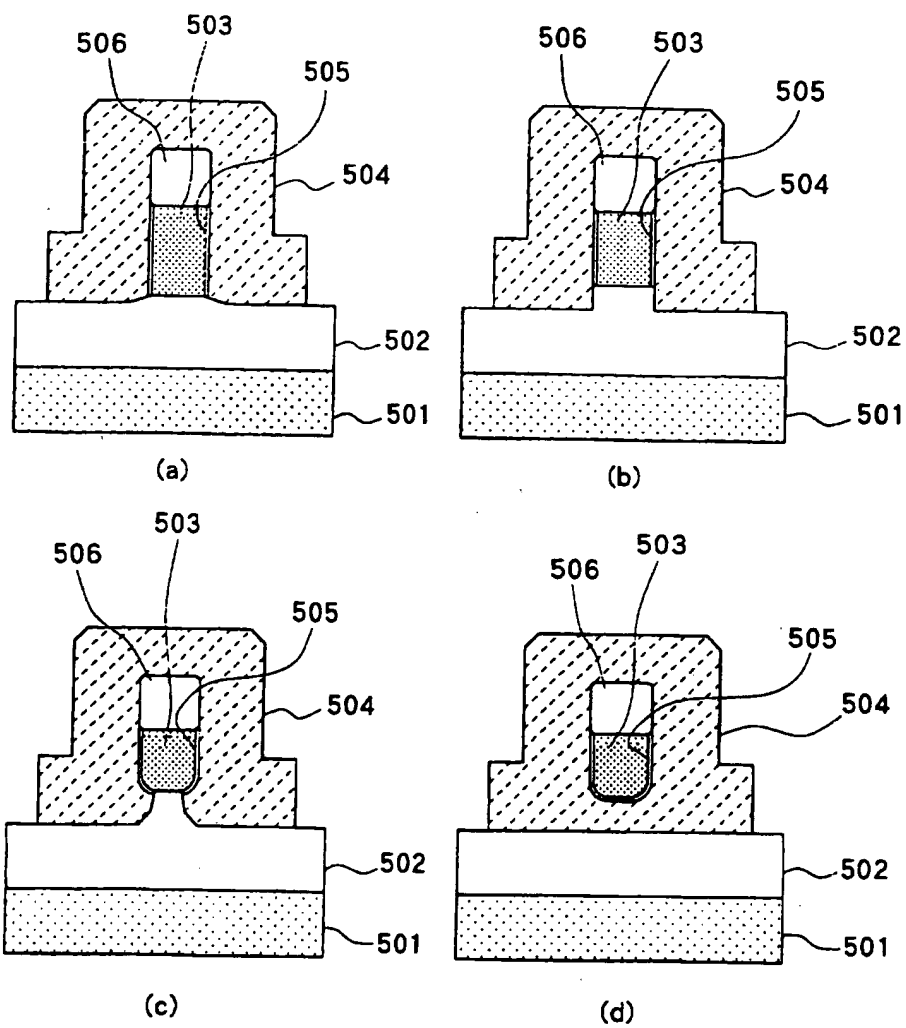
[図21]



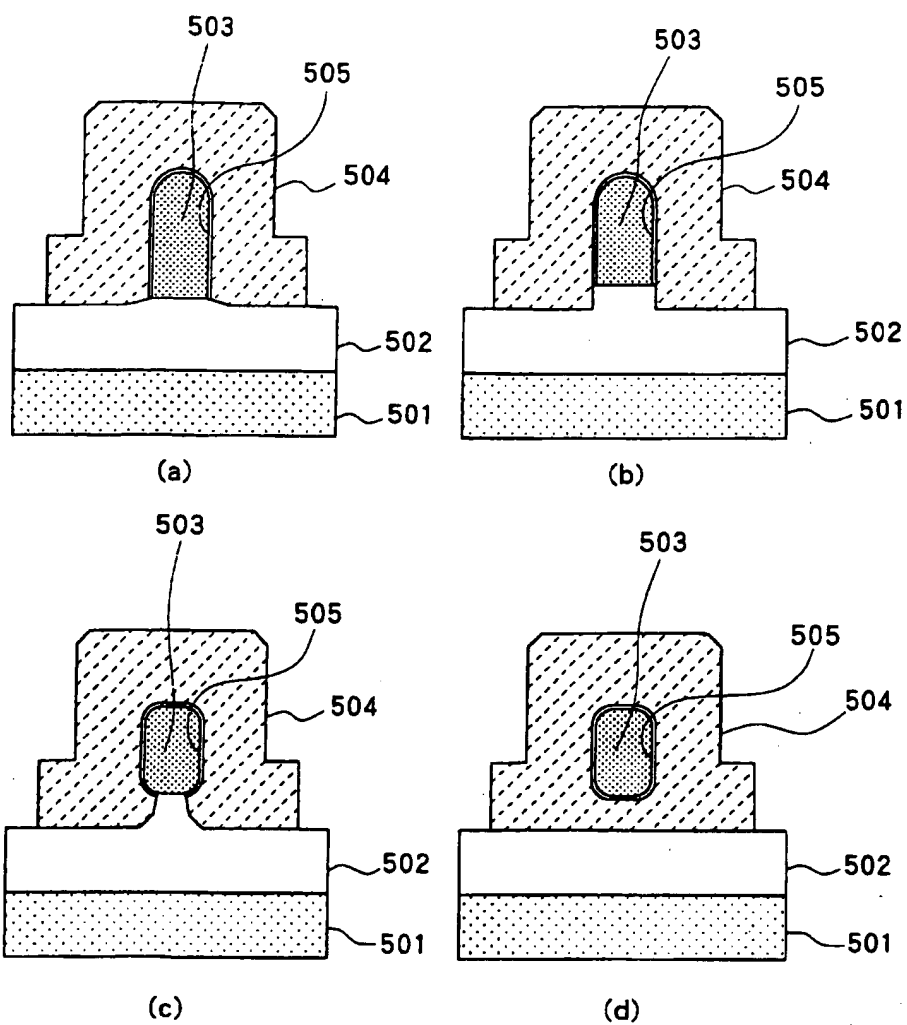
[図22]



[図23]

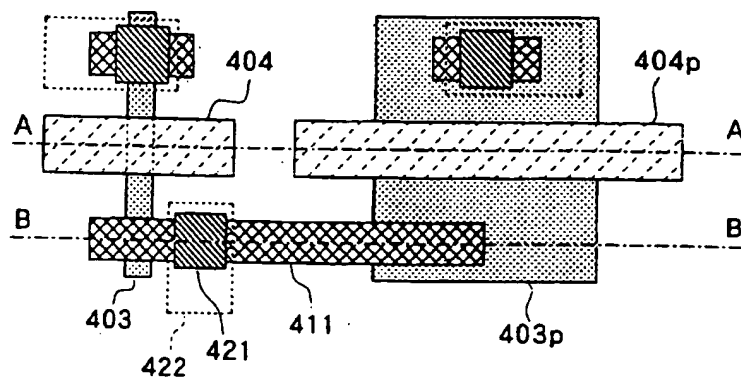


[図24]

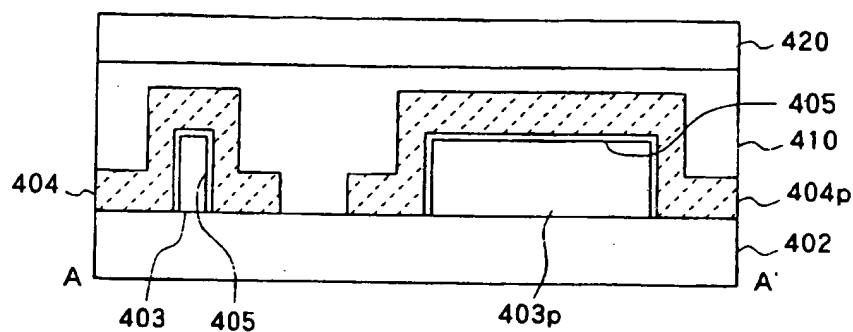


[25]

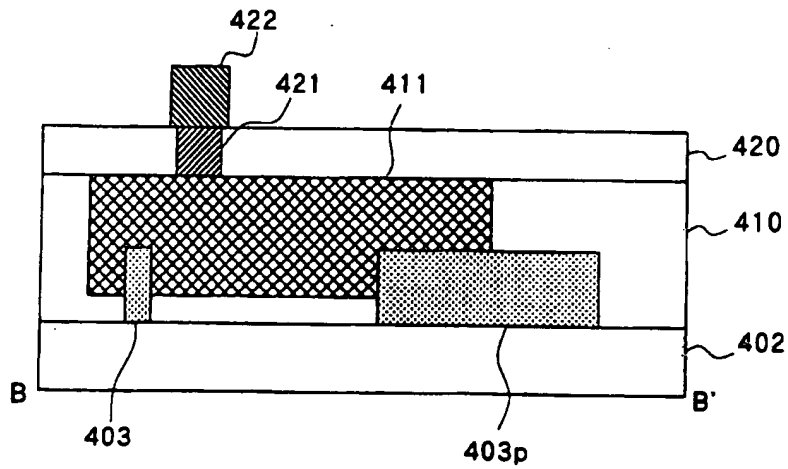
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014243

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/786, H01L27/06, H01L29/41

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/786, H01L27/06, H01L29/41

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-229575 A (Hitachi, Ltd.), 15 August, 2003 (15.08.03), Par. Nos. [0031] to [0042]; Figs. 9 to 16 (Family: none)	1-9, 11, 15-22 10, 12-14
Y A	JP 2002-289871 A (Toshiba Corp.), 04 October, 2002 (04.10.02), Par. Nos. [0016] to [0019]; Fig. 1 (Family: none)	1-9, 11, 15-22 10, 12-14
Y A	JP 06-005856 A (Kawasaki Steel Corp.), 14 January, 1994 (14.01.94), Par. Nos. [0010] to [0022]; Figs. 1 to 4 (Family: none)	1-9, 11, 15-22 10, 12-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search
08 December, 2004 (08.12.04)Date of mailing of the international search report
28 December, 2004 (28.12.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014243

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 03-177072 A (Fujitsu Ltd.), 01 August, 1991 (01.08.91), Fig. 3 (Family: none)	9
Y	JP 2003-115551 A (Matsushita Electric Industrial Co., Ltd.), 18 April, 2003 (18.04.03), Fig. 1 & US 2003/0067819 A1	11,15
Y	JP 10-178110 A (Toshiba Corp.), 30 June, 1998 (30.06.98), Fig. 1 & US 5930163 A	11,15
Y	M. ISHIDA, T. KAWAKAMI, A. TSUJI, N. NAKAMOTO, M. MOTOYOSHI, N. OUCHI, 'A Novel 6T-SRAM Cell Technology Designed with Rectangular Patterns Scalable beyond 0.18 μ m Generation and Desirable for Ultra High Speed Operation', IEEE Interna tional Electron Devices Meeting, 1998, pages 201 to 204	11,15
Y	JP 08-298328 A (Hitachi, Ltd.), 12 November, 1996 (12.11.96), Par. Nos. [0016] to [0063]; Figs. 1 to 3, 6 to 31 (Family: none)	19,21

Form PCT/ISA/210 (continuation of second sheet) (January 2004)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L29/786, H01L27/06, H01L29/41

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L29/786, H01L27/06, H01L29/41

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-229575 A (株式会社日立製作所)	1-9, 11, 15-22
A	2003. 08. 15, 【0031】-【0042】段落 図9-16 (ファミリーなし)	10, 12-14
Y	J P 2002-289871 A (株式会社東芝)	1-9, 11, 15-22
A	2002. 10. 04, 【0016】-【0019】段落 図1 (ファミリーなし)	10, 12-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

08. 12. 2004

国際調査報告の発送日

28.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

9361

電話番号 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 06-005856 A (川崎製鉄株式会社) 1994. 01. 14, 【0010】 - 【0022】 段落.	1-9, 11, 15-22
A	図1-4 (ファミリーなし)	10, 12-14
Y	J P 03-177072 A (富士通株式会社) 1991. 08. 01, 第3図 (ファミリーなし)	9
Y	J P 2003-115551 A (松下電器産業株式会社) 2003. 04. 18, 図1 & US 2003/0067819 A1	11, 15
Y	J P 10-178110 A (株式会社東芝) 1998. 06. 30, 図1 & US 5930163 A	11, 15
Y	M. ISHIDA, T. KAWAKAMI, A. TSUJI, N. KAKAMOTO, M. MOTOYOSHI, N. OUCHI, 'A Novel 6T-SRAM Cell Technology Designed with Rectangular Patterns Scalable beyond 0.18 μ m Generation and Desirable for Ultra High Speed Operation', IEEE International Electron Devices Meeting, 1998, page. 201-204	11, 15
Y	J P 08-298328 A (株式会社日立製作所) 1996. 11. 12, 【0016】 - 【0063】 段落 図1-3, 図6-31 (ファミリーなし)	19, 21

様式PCT/ISA/210 (第2ページの続き) (2004年1月)